



工艺流程

1) 表面清洗

晶圆表面附着一层大约 2um 的 Al₂O₃ 和甘油混合液保护之,在制作前必须进行化学刻蚀和表面清洗。

2) 初次氧化

有热氧化法生成 SiO₂ 缓冲层, 用来减小后续中 Si₃N₄ 对晶圆的应力

氧化技术

干法氧化 $\text{Si(固)} + \text{O}_2 \rightarrow \text{SiO}_2(\text{固})$

湿法氧化 $\text{Si(固)} + 2\text{H}_2\text{O} \rightarrow \text{SiO}_2(\text{固}) + \text{H}_2$

干法氧化通常用来形成, 栅极二氧化硅膜, 要求薄, 界面能级和固定电荷密度低的薄膜。干法氧化成膜速度慢于湿法。湿法氧化通常用来形成作为器件隔离用的比较厚的二氧化硅膜。当 SiO₂ 膜较薄时, 膜厚与时间成正比。SiO₂ 膜变厚时, 膜厚与时间的平方根成正比。因而, 要形成较厚的 SiO₂ 膜, 需要较长的氧化时间。SiO₂ 膜形成的速度取决于经扩散穿过 SiO₂ 膜到达硅表面的 O₂ 及 OH 基等氧化剂的数量多少。湿法氧化时, 因在于 OH 基在 SiO₂ 膜中的扩散系数比 O₂ 的大。氧化反应, Si 表面向深层移动, 距离为 SiO₂ 膜厚的 0.44 倍。因此, 不同厚度的 SiO₂ 膜, 去除后的 Si 表面的深度也不同。SiO₂ 膜为透明, 通过光干涉来估计膜的厚度。这种干涉色的周期约为 200nm, 如果预告知道是几次干涉, 就能正确估计。对其他的透明薄膜, 如知道其折射率, 也可用公式计算出

$(d_{\text{SiO}_2}) / (d_{\text{ox}}) = (n_{\text{ox}}) / (n_{\text{SiO}_2})$ 。SiO₂ 膜很薄时, 看不到干涉色, 但可利用 Si 的疏水性和 SiO₂ 的亲水性来判断 SiO₂ 膜是否存在。也可用干涉膜计或椭圆仪等测出。

SiO₂ 和 Si 界面能级密度和固定电荷密度可由 MOS 二极管的电容特性求得。(100)面的 Si 的界面能级密度最低, 约为 $10^{10} \sim 10^{11} / \text{cm}^2 \cdot \text{eV}^{-1}$ 数量级。(100)面时, 氧化膜中固定电荷较多, 固定电荷密度的大小成为左右阈值的主要因素。

3) CVD(Chemical Vapor deposition)法沉积一层 Si₃N₄(Hot CVD 或 LPCVD)。

1 常压 CVD (Normal Pressure CVD)

NPCVD 为最简单的 CVD 法, 使用于各种领域中。其一般装置是由(1)输送反应气体至反应炉的载气体精密装置; (2)使反应气体原料气化的反应气体气化室; (3)反应炉; (4)反应后的气体回收装置等所构成。其中中心部分为反应炉, 炉的形式可分为四个种类, 这些装置中重点为如何将反应气体均匀送入, 故需在反应气体的流动与基板位置上用心改进。当为水平时, 则基板倾斜; 当为纵型时, 着反应气体由中心吹出, 且使基板夹具回转。而汽缸型亦可同时收容多数基板且使夹具旋转。为扩散炉型时, 在基板的上游加有混和气体使成乱流的



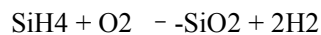
装置。

2 低压 CVD (Low Pressure CVD)

此方法是以常压 CVD 为基本，欲改善膜厚与相对阻抗值及生产所创出的方法。主要特征：(1)由于反应室内压力减少至 10-1000Pa 而反应气体，载气体的平均自由行程及扩散常数变大，因此，基板上的膜厚及相对阻抗分布可大为改善。反应气体的消耗亦可减少；(2)反应室成扩散炉型，温度控制最为简便，且装置亦被简化，结果可大幅度改善其可靠性与处理能力(因低气压下，基板容易均匀加热)，因基可大量装荷而改善其生产性。

3 热 CVD (Hot CVD)/(thermal CVD)

此方法生产性高，梯状敷层性佳(不管多凹凸不平，深孔中的表面亦产生反应，及气体可到达表面而附着薄膜)等，故用途极广。膜生成原理，例如由挥发性金属卤化物(MX)及金属有机化合物(MR)等在高温中气相化学反应(热分解，氢还原、氧化、替换反应等)在基板上形成氮化物、氧化物、碳化物、硅化物、硼化物、高熔点金属、金属、半导体等薄膜方法。因只在高温下反应故用途被限制，但由于其可用领域中，则可得致密高纯度物质膜，且附着强度极强，若用心控制，则可得安定薄膜即可轻易制得触须(短纤维)等，故其应用范围极广。热 CVD 法也可分成常压和低压。低压 CVD 适用于同时进行多片基片的处理，压力一般控制在 0.25-2.0Torr 之间。作为栅电极的多晶硅通常利用 HCVD 法将 SiH₄ 或 Si₂H₆。气体热分解(约 650 oC)淀积而成。采用选择氧化进行器件隔离时所使用的氮化硅薄膜也是用低压 CVD 法，利用氨和 SiH₄ 或 Si₂H₆ 反应面生成的，作为层间绝缘的 SiO₂ 薄膜是用 SiH₄ 和 O₂ 在 400 --4500 oC 的温度下形成



或是用 Si(OC₂H₅)₄ (TEOS: tetra - ethoxy - silanc)和 O₂ 在 750 oC 左右的高温下反应生成的，后者即采用 TEOS 形成的 SiO₂ 膜具有台阶侧面被覆性能好的优点。前者，在淀积的同时导入 PH₃ 气体，就形成 磷硅玻璃 (PSG: phosphor - silicate - glass)再导入 B₂H₆ 气体就形成 BPSG(borro - phosphor - silicate - glass)膜。这两种薄膜材料，高温下的流动性好，广泛用来作为表面平坦性好的层间绝缘膜。

4 电浆增强 CVD (Plasma Enhanced CVD)

NPCVD 法及 LPCVD 法等皆是被加热或高温的表面上产生化学反应而形成薄膜。PECVD 是在常压 CVD 或 LPCVD 的反应空间中导入电浆(等离子体)，而使存在于空间中的气体被活化而可以在更低的温度下制成薄膜。激发活性物及由电浆中低速电子与气体撞击而产生。

光 CVD (Photo CVD)

PECVD 使薄膜低温化，且又产生如 A-Si 般的半导体元件。但由于薄膜制作中需考虑：(1)在除去高温(HCVD)及 PECVD 时掺入元件中的各种缺陷(如 PECVD 中带电粒子撞击而造成的损伤)；(2)不易制作的元件(不纯物剖面)，不希望在后面受到工程高温处理被破坏，因此



希望可于低温中被覆薄膜。PCVD 是解决这此问题的方法之一。遇热分解时，因加热使一般分子的并进运动与内部自由度被激发(激发了分解时不需要的自由度)，相对的，在 PCVD 中，只直接激发分解必须的内部自由度，并提供活化物促使分解反应。故可望在低温下制成几无损伤的薄膜且因光的聚焦及扫描可直接描绘细线或蚀刻。

5 MOCVD (l Organic CVD) & 分子磊晶成长(Molecular Beam Epitaxy)

CVD 技术另一重要的应用为 MOCVD，此技术与 MBE(Molecular Beam Epitaxy) 同为：(1)成长极薄的结晶；(2)做多层构造；(3)多元混晶的组成控制；(4)目标为化合物半导体的量产。此有装置有下列特征：(1)只需有一处加热，装置构造简单，量产装置容易设计；(2)膜成长速度因气体流量而定，容易控制；(3)成长结晶特性可由阀的开头与流量控制而定；(4)氧化铝等绝缘物上可有磊晶成长；(5)磊晶成长可有选择，不会被刻蚀。相反地亦有：(1)残留不纯物虽已改善，但其残留程度极高；(2)更希望再进一步改良对结晶厚度的控制；(3)所用反应气体中具有引火性、发水性，且毒性强的气体极多；(4)原料价格昂贵等缺点。

多层布线间的层间绝缘膜的沉积，以及最后一道工序的芯片保护膜沉积必须在低温下(450 C 以下)下进行，以免损伤铝布线。等离子 CVD 法就是为此而发明的一种方法。

6 外延生长法(LPE)

外延生长法(epitaxial growth)能生长出和单晶衬底的原子排列同样的单晶薄膜。在双极型集成电路中，为了将衬底和器件区域隔离(电绝缘)，在 P 型衬底上外延生长 N 型单晶硅层。在 MOS 集成电路中也广泛使用外延生长法，以便容易地控制器件的尺寸，达到器件的精细化。此时，用外延生长法外延一层杂质浓度低(约 10^{15} cm^{-3})的供形成的单晶层、衬底则为高浓度的基片，以降低电阻，达到基极电位稳定的目的。LPE 可以在平面或非平面衬底生长、能获得十分完善的结构。LPE 可以进行掺杂，形成 n-和 p-型层，设备为通用外延生长设备，生长温度为 300 oC-900 oC，生长速率为 0.2um-2um/min，厚度 0.5um-100um，外延层的外貌决定于结晶条件，并直接获得具有绒面结构表面外延层。

4) 涂敷光刻胶

光刻制造过程中，往往需采用 20-30 道光刻工序，现在技术主要采用紫外线(包括远紫外线)为光源的光刻技术。光刻工序包括翻版图形掩膜制造，硅基片表面光刻胶的涂敷、预烘、曝光、显影、后烘、腐蚀、以及光刻胶去除等工序。

(1)光刻胶的涂敷

在涂敷光刻胶之前，将洗净的基片表面涂上附着性增强剂或将基片放在惰性气体中进行热处理。这样处理是为了增加光刻胶与基片间的粘附能力，防止显影时光刻胶图形的脱落以及防止湿法腐蚀时产生侧面腐蚀(side etching)。光刻胶的涂敷是用转速和旋转时间可自由设定的甩胶机来进行的。首先、用真空吸引法将基片吸在甩胶机的吸盘上，将具有一定粘度的光刻胶滴在基片的表面，然后以设定的转速和时间甩胶。由于离心力的作用，光刻胶在基片表面均匀地展开，多余的光刻胶被甩掉，获得一定厚度的光刻胶膜，光刻胶的膜厚是由光刻胶的粘度和甩胶的转速来控制。所谓光刻胶，是对光、电子束或 X 线等敏感，具有在显影



液中溶解性的性质，同时具有耐腐蚀性的材料。一般说来，正型胶的分辨率高，而负型胶具有高感光度以及和下层的粘接性能好等特点。光刻工艺精细图形(分辨率，清晰度)，以及与其他层的图形有多高的位置吻合精度(套刻精度)来决定，因此有良好的光刻胶，还要有好的曝光系统。

(2)预烘 (pre bake)

因为涂敷好的光刻胶中含有溶剂，所以要在 80C 左右的烘箱中在惰性气体环境下预烘 15-30 分钟，去除光刻胶中的溶剂。

(3)曝光

将高压水银灯的 g 线($\lambda=436\text{ nm}$), i 线($\lambda=365\text{ nm}$)通过掩模照射在光刻胶上，使光刻胶获得与掩模图形同样的感光图形。根据曝光时掩模的光刻胶的位置关系，可分为接触式曝光、接近式曝光和投影曝光三种。而投影曝光又可分为等倍曝光和缩小曝光。缩小曝光的分辨率最高，适宜用作加工，而且对掩模无损伤，是较常用的技术。缩小曝光将掩模图形缩小为原图形的 1/5-1/10，这种场合的掩模被称为掩模原版(reticle)。使用透镜的曝光装置，其投影光学系统的清晰度 R 和焦深 D 分别用下式表示：

$$R=k_1 \lambda /NA$$

$$D=k_2 \lambda /NA^2$$

λ 曝光波长

NA 透镜的数值孔径

k_1 、 k_2 为与工艺相关的参数， $k_1(0.6-0.8)$, $k_2(0.5)$

由此可知：要提高清晰度(R 变小)，必须缩短波长，加大透镜数值孔径。随着曝光波长的缩短，清晰度得到改善，但是焦深却变短，对光刻胶表面平坦度提出了更严格的要求，这是一个很大的缺点。通常采用的高压水银灯，还有比高压水银灯 I-line 波长短的远紫外线准分子激光器(excimer laser, KrF:248nm, ArF:193nm)为曝光光源。为了解决上述所提到的缺点，用比光的波长更短的 X 线($\lambda=1-10\text{ nm}$)作为曝光光源，技术上有很大的进展，利用 X 线和电子束进行光刻时，其焦深较深，对表面平坦度没有苛刻的要求。

接近式曝光技术为光罩掩模与基板相互靠近保持较近的间隙(gap)，以 UV 光由 MASK 侧面照射，将图案投射在基板上对光阻进行曝光。一般而言，光罩尺寸较基板大，所以图案将以 1:1 的大小转印到光阻上，此方法精度较常用的步进机(stepper,能输出一定频率和波长的光线)或镜像投影(Mirror Projection)来得差，但其优点为产量(throughput)大，设备便宜。在光学系统中，大型的准直镜(collimate mirror)(球面或非球面)对转刻精度影响最大，以目前制作水准而言，倾斜角(declination angle)约可以做到 ± 0.3 以内。若倾斜角过大，则基片边缘的图案将与光罩设计的位置有所差别，将影响到 total pitch(图案实际长度与设计长度的误差容忍值)的误差。而一般接近式曝光技术解析度与光罩及基板的间隙和光的波长有关。随着基片的增大，光罩也随之增大，由于光罩本身的重量会使得光罩中间部分向下弯曲。如果弯曲程度得到控制，利用光线反射原理的检测(类似光的薄膜干涉)来推算光罩与基板的距离。光罩精密对位技术，此对位技术可分为两部分，一部分利用 CCD (charge coupled device)将光罩上及基板上的记号重叠后做图像分析处理，即可知目前的对位情形，再配合另一部分可



精确移动的对准台(alignment stage), 控制其 X,Y 方向及角度的位移。温度的管理, 因光罩与基板两者膨胀系数不同, 同一特定温度下, 光照的影响将会造成误差。光罩的温度控制方法是利用经过温控后的洁净空气吹向光罩表面使光罩全面的温度分布均匀, 而对基板是利用温控后的水流承载基板的基台来控制。

就曝光系统而言, 所使用的 UV 光源为 10kw 的超高水银灯, 经过椭圆镜, 多层镀膜反射镜等光学系统后投射在光罩及光刻胶上, 为了使投射光有良好的均一性及平行度以增加曝光精度, 在光学系统中通常会使用 Fly eye lens 及大型的球面镜。以超高水银灯所发出的 UV 而言, 强度有三个峰值分别为 g-line(436nm),h-line(406nm),i-line(365nm), 其中正型光阻对 g-line 及 h-line 较敏感, i-line 通常对负胶有较好的曝光效率。由于为了不使 UV 光的强度下降, 光学系统中所使用的镜光学为合成的石英所制, 多层镀膜的镜片也被设计成增加 UV 区的反射率。

(4)显影

将显影液全面地喷在光刻胶上, 或将曝光后的样片浸在显影液中几十秒钟, 则正型光刻胶的曝光部分(或负胶的未曝光部分)被溶解。显影后的图形精度受显影液的浓度, 温度以及显影的时间等影响。显影后用纯水清洗。

(5)后烘 (post bake)

为使残留在光刻胶中的有机物溶液完全挥发, 提高光刻胶和基片的粘接性及光刻胶的耐腐蚀能力, 通常将基片在 120-- 200 oC 温度下烘干 20 - 30 分钟。

(6)腐蚀 (etching)

经过上述工序后, 以复制到光刻胶上的集成电路的图形作为掩模, 对下层的材料进行腐蚀。腐蚀技术是利用化学腐蚀法把材料的某一部分去除的技术。腐蚀技术分为两大类: 湿法腐蚀—进行腐蚀的化学物质是溶液; 干法腐蚀(一般称刻蚀)—进行的化学物质是气体。

1 湿法腐蚀, 采用溶液进行的腐蚀是一种各向同性腐蚀。因而, 光刻胶掩模下面的薄膜材料, 在模方向上也随着时间的增长而受到腐蚀, 因此, 出现与掩模图形不一致的现象, 不适用于精细化工艺。但湿法腐蚀具有设备便宜, 被腐蚀速度与光刻胶的腐蚀速度之比(选择比)大, 对腐蚀表面无污染, 无损伤等优点, 适用于非精细化图形的加工。典型的 SiO₂ 膜的腐蚀为稀释的 HF 溶液或 HF、氟化氨混合液(也称缓冲氢氟酸液), 氮化硅膜的腐蚀液为 180 oC 左右的热磷酸; 铝的腐蚀液为磷酸溶液(磷酸: 醋酸: 硝酸=250: 20: 3,55 + - 5 oC)。

2 干法腐蚀

干法刻蚀分为各向同性刻蚀和各向异性刻蚀两种, 采用等离子进行刻蚀是各向同性的典型。在光刻胶去胶装置中, 氧的等离子体和光刻胶反应形成 H₂O 和 CO₂ 气体。此时, 作为反应基的氧原子团与光刻胶进行各向同性反应。精细图形进行各向异性很强的干法刻蚀来实现。反应性离子刻蚀(RIE:reactive ion etching)是一种典型的例子。RIE 是利用离子诱导化学反应, 同时离子还起着去除表面生成物露出清洁的刻蚀表面的作用。但是, 这种刻蚀法不能获得高



的选择比，刻蚀表面的损伤大，有污染，难以形成更精细的图形。作为替代技术是能量低，高真空状态下也具有高密度的电子回旋共振等离子设备的开发。对于栅电极材料的多晶硅(polysilicon)来说，它的刻蚀条件必须具备相对于下层 10nm 左右的栅极 SiO₂ 膜层有高的选择比。而 SiO₂ 的刻蚀条件又必须相对于单晶硅和多晶硅都有高的选择比。作为布线材料的铝合金，表面有牢固的三氧化二铝薄膜，必须先以强溅射条件将其去除后再开始刻蚀，在铝刻蚀以后，要去除表面残留在铝薄膜上的氯化物，以免刻蚀铝布线。

3 同步辐射(SOR : synchrotron orbital radiation)X 线光刻技术

SOR 是在电子沿着加速器的圆形储存环以光的速度前进时，其前进的轨道因磁场而弯曲，在轨道切线方向上放射出的光，同步加速辐射光源是一个指向性好，强度大的理想的 X 线源。

(7) 光刻胶的去除

经腐蚀完成图形复制以后，再用剥离液去除光刻胶，完成整个光刻工序。可以用无机溶液如硫酸或干式臭氧烧除法将光阻去除。

5) 此处用干法氧化法将氮化硅去除

6) 离子布植将硼离子 (B⁺) 透过 SiO₂ 膜注入衬底，形成 P 型阱

1 离子注入法是利用电场加速杂质离子，将其注入硅衬底中的方法。离子注入法的特点是可以精密地控制扩散法难以得到的低浓度杂质分布。MOS 电路制造中，器件隔离工序中防止寄生沟道用的沟道截断，调整阈值电压用的沟道掺杂，CMOS 的阱形成及源漏区的形成，要采用离子注入法来掺杂。离子注入法通常是将欲掺入半导体中的杂质在离子源中离子化，然后将通过质量分析磁极后选定了离子进行加速，注入基片中。此时，杂质的注入量可通过测量流过基片的电流大小来正确控制。离子由基片的表面到停止，形成了近似的高斯分布。设 R_p 为投影射程， ΔR_p 为其的标准偏差， Q 为注入量，注入的离子分布 $C(x)$

其中 R_p ， ΔR_p 的大小与杂质的种类，加速电压的大小有关以及基片的材料。此外，有纵向的标准偏差 ΔR_p ，同样也有横向偏差 ΔR_e 。离子注入时，通常采用光刻胶和 SiO₂ 作掩模，掩模厚度以不使杂质穿透为原则。离子束的注入角度通常偏离基片法线 7° 左右，以防止发生沟道效应 (即离子不与原子碰撞而直接进入基片深层)。离子注入后，要在 800-1000 °C 的高温下进行热处理(即退火处理)，以使离子注入时产生的结晶损伤得到恢复，同时为了防止硅表面的污染。通常要在注入区表面形成薄薄的 SiO₂ 层，杂质离子透过这层 SiO₂ 进行注入。

硅和锗半导体材料经高度提纯后，其原子排列已变成非常整齐的晶体状态，称为单晶体也称本征半导体。在本征半导体硅或锗中掺入少量五价杂质元素如磷(P)、锑(Sb)、砷(As)等，因为杂质的浓度很小 (10⁸ 个硅或锗原子中掺入一个磷原子)，所以杂质被晶格中的主原子所包围。掺入的五价杂质，它的四个价电子与其相邻的四个主原子的价电子形成共价键，第五个价电子不能形成共价键而变成自由电子。因为它有盈余的自由电子，所以五价杂质称为施主杂质，掺杂为 N 型半导体。而掺杂三价杂质，则会因缺少一个价电子而形成空位，



掺杂为 P 型半导体。

7) 去除光刻胶，放高温炉中进行退火处理

以消除晶圆中晶格缺陷和内应力，以恢复晶格的完整性。使植入的掺杂原子扩散到替代位置，产生电特性。并使原先的 SiO₂ 膜厚度增加，达到阻止下一步中 n 型杂质注入 P 型阱中。

1 扩散技术

向半导体中掺杂的方法有扩散和离子注入法。扩散法是将掺杂气体导入放有硅片的高温炉，将杂质扩散到硅片内一种方法。优点是批量生产，获得高浓度掺杂。杂质扩散有两道工序：预扩散(又称预淀积 Predeposition) 和主扩散 (drive in)。

预扩散工序是在硅表面较浅的区域中形成杂质的扩散分布，这种扩散分布中，硅表面杂质浓度的大小是由杂质固溶度来决定的。

主扩散工序是将预扩散时形成的扩散分布进一步向深层推进的热处理工序。杂质的扩散浓度取决于与温度有关的扩散系数 D 的大小和扩散时间的长短。硅集成电路工艺中，往往采用硼作为 P 型杂质，磷作为 N 型杂质。它们固溶度高，均 10^{20} cm^{-3} 。除此之外，还使用砷和锑等系数小的杂质，这对于不希望产生杂质再分布的场合是有效的。杂质扩散层的基本特性参数是方块电阻 R_F 和结果 X_j 。 R_F 可用四探针测量法。 X_j 可用倾斜研磨 (Angle lapping) 和染色 (staining) 法，(如用 HF:H₃PO₄ = 1:6 使 P 层黑化)，或扩展电阻 (spreading resistance) 法来进行评估。倾斜研磨后，经侵蚀的酸溶液蚀刻，将 guttering 后集积在晶片下半部的析出物凸显出来，显现出密度的轨迹，而在靠晶片的表面附近出现一段空泛区，经过角度换算，约 20 μm 。

8)用热磷酸去除氮化硅层，掺杂磷 (P+5) 离子，形成 N 型阱

9) 退火处理，然后用 HF 去除 SiO₂ 层

10) 干法氧化法生成一层 SiO₂ 层，然后 LPCVD 沉积一层氮化硅

此时 P 阱的表面因 SiO₂ 层的生长与刻蚀已低于 N 阱的表面水平面。这里的 SiO₂ 层和氮化硅的作用与前面一样。接下来的步骤是为了隔离区和栅极与晶面之间的隔离层。

11) 利用光刻技术和离子刻蚀技术，保留下栅隔离层上面的氮化硅层

12) 湿法氧化，生长未有氮化硅保护的 SiO₂ 层，形成 PN 之间的隔离区

13) 热磷酸去除氮化硅，然后用 HF 溶液去除栅隔离层位置的 SiO₂，并重新生成品质更好的 SiO₂ 薄膜，作为栅极氧化层。

14) LPCVD 沉积多晶硅层，然后涂敷光阻进行光刻，以及等离子蚀刻技术，栅极结构，并氧化生成 SiO₂ 保护层。



15) 表面涂敷光阻，去除 P 阱区的光阻，注入砷 (As) 离子，形成 NMOS 的源漏极。用同样的方法，在 N 阱区，注入 B 离子形成 PMOS 的源漏极。

16) 利用 PECVD 沉积一层无掺杂氧化层，保护元件，并进行退火处理。

17) 沉积掺杂硼磷的氧化层

含有硼磷杂质的 SiO₂ 层，有较低的熔点，硼磷氧化层(BPSG)加热到 800 oC 时会软化并有流动特性，可使晶圆表面初级平坦化。

18) 溅镀第一层金属

利用光刻技术留出金属接触洞，溅镀 钛+氮化钛+铝+氮化钛等多层金属膜。离子刻蚀出布线结构，并用 PECVD 在上面沉积一层 SiO₂ 介电质。并用 SOG (spin on glass) 使表面平坦，加热去除 SOG 中的溶剂。然后再沉积一层介电质，为沉积第二层金属作准备。

1 薄膜的沉积方法根据其用途的不同而不同，厚度通常小于 1um。有绝缘膜、半导体薄膜、金属薄膜等各种各样的薄膜。薄膜的沉积法主要有利用化学反应的 CVD(chemical vapor deposition)法以及物理现象的 PVD(physical vapor deposition)法两大类。CVD 法有外延生长法、HCVD, PECVD 等。PVD 有溅射法和真空蒸发法。一般而言，PVD 温度低，没有毒气问题；CVD 温度高，需达到 1000 oC 以上将气体解离，来产生化学作用。PVD 沉积到材料表面的附着力较 CVD 差一些，PVD 适用于在光电产业，而半导体制程中的金属导电膜大多使用 PVD 来沉积，而其他绝缘膜则大多数采用要求较严谨的 CVD 技术。以 PVD 被覆硬质薄膜具有高强度，耐腐蚀等特点。

2 真空蒸发法 (Evaporation Deposition) 是采用电阻加热或感应加热或者电子束等加热法将原料蒸发淀积到基片上的一种常用的成膜方法。蒸发原料的分子 (或原子) 的平均自由程长 (10⁻⁴ Pa 以下，达几十米)，所以在真空中几乎不与其他分子碰撞可直接到达基片。到达基片的原料分子不具有表面移动的能量，立即凝结在基片的表面，所以，在具有台阶的表面上以真空蒸发法淀积薄膜时，一般，表面被覆性 (覆盖程度) 是不理想的。但若可将 Crambo 真空抽至超高真空 (<10⁻⁸ torr)，并且控制电流，使得欲镀物以一颗一颗原子蒸镀上去即成所谓分子束磊晶生长 (MBE: Molecular Beam Epitaxy)。

3 溅镀 (Sputtering Deposition) 所谓溅射是用高速粒子 (如氩离子等) 撞击固体表面，将固体表面的原子撞击出来，利用这一现象来形成薄膜的技术即让等离子体中的离子加速，撞击原料靶材，将撞击出的靶材原子淀积到对面的基片表面形成薄膜。溅射法与真空蒸发法相比有以下的特点：台阶部分的被覆性好，可形成大面积的均质薄膜，形成的薄膜，可获得和化合物靶材同一成分的薄膜，可获得绝缘薄膜和高熔点材料的薄膜，形成的薄膜和下层材料具有良好的密接性能。因而，电极和布线用的铝合金 (Al-Si, Al-Si-Cu) 等都是利用溅射法形成的。最常用的溅射法在平行平板电极间接上高频 (13.56MHz) 电源，使氩气 (压力为 1Pa) 离子化，在靶材溅射出来的原子淀积到放到另一侧电极上的基片上。为提高成膜速度，通常利用磁场来增加离子的密度，这种装置称为磁控溅射装置 (magnetron sputter apparatus)，以高电压将通入惰性气体游离，再藉由阴极电场加速吸引带正电的离子，撞击在阴极处的靶材，将欲镀物打出后沉积在基板上。一般均加磁场方式增加电子的游离路径，可增加气体的



解离率，若靶材为金属，则使用 DC 电场即可，若为非金属则因靶材表面累积正电荷，导致往后的正离子与之相斥而无法继续吸引正离子，所以改为 RF 电场（因场的振荡频率变化太快，使正离子跟不上变化，而让 RF-in 的地方呈现阴极效应）即可解决问题。

19) 光刻技术定出 VIA 孔洞，沉积第二层金属，并刻蚀出连线结构。然后，用 PECVD 法氧化层和氮化硅保护层。

20) 光刻和离子刻蚀，定出 PAD 位置

21) 最后进行退火处理