

# 第一章 集成电路设计概述

- 集成电路（IC）的发展
- IC的分类、制造工艺
- IC设计的要求
- 设计方法及其特点
- 典型的设计流程
  - 自顶向下
  - 由底向上
- 集成电路设计方法和工具的变革
  - 设计系统的结构框架
  - EDA设计工具

# 集成电路（IC）的发展

- 1959世界第一块IC诞生于德州仪器和西物电气公司
  - 4个晶体管/芯片
- 30年的发展，经历了从SSI、MSI、LSI、VLSI和ULSI的发展，目前可达到：
  - 40亿个晶体管/芯片
  - 600MHz ~ 4GHz 工作频率
  - 0.1um的工艺线宽
- 有人通过计算得到这样的结论：假如用真空电子管而不是集成电路，现在的便携式计算机的内存容量所占体积相当于纽约世界贸易中心；假如按集成电路降价的速度降价，现在的一辆汽车仅需27美元

# 摩尔定律：

- 1960年Intel公司创始人之一Gordon Moore预言：集成电路的功能随时间呈指数增长规律。
- 每过18个月,微处理器处理能力增加一倍而价格不变（集成度按18个月翻番）
- 1960提出、1965年发表、1971得到第一次公开验证， IC近40年的发展历史完全证实了Moore的预言
- 目前尽管速度放慢，但仍可至少持续到2012，达物理极限0.05 $\mu\text{m}$ 线宽工艺，2017年？

# IC集成度各主要特征与发展阶段

表 1-1 集成电路各发展阶段的特征

发展阶段 主要特征	1966 年 MSI	1971 年 LSI	1980 年 VLSI	1990 年以后 ULSI
元件数/芯片	$10^2 \sim 10^3$	$10^3 \sim 10^5$	$10^5 \sim 10^7$	$10^7 \sim 10^9$
特征线宽( $\mu\text{m}$ )	10~5	5~3	3~1	<1
速度功耗积( $\mu\text{J}$ )	$10^2 \sim 10$	10~1	$1 \sim 10^{-2}$	$< 10^{-2}$
栅氧化层厚度(nm)	120~100	100~40	40~15	15~10
结深( $\mu\text{m}$ )	2~1.2	1.2~0.5	0.5~0.2	0.2~0.1
芯片面积( $\text{mm}^2$ )	<10	10~25	25~50	50~100
硅片直径(英寸)	2~3	4~5	6	>6

# DRAM容量每三年翻两番的发展速度

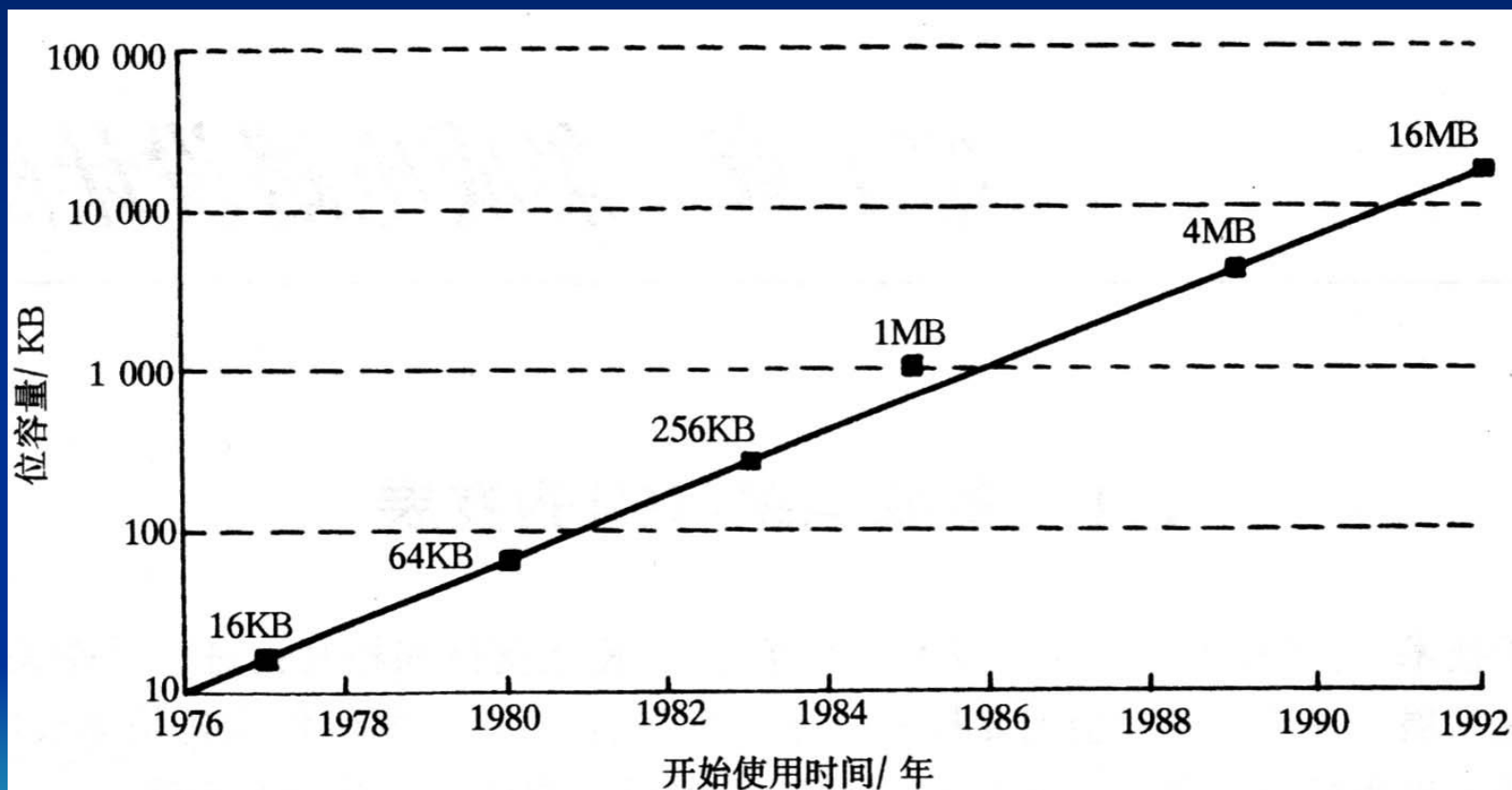


图 1-1 存储器的容量随时间增长

# 1965年提出的莫尔定律得到验证

(微处理器CPU的发展)  
从1971年的4004到1996年的Pentium II



# 摩尔定理还灵吗？

- 经济摩尔定律

- 纳斯达克指数的摩尔定律（从96个月减至12个月翻番的加速定律）
- 纳斯达克指数的摩尔定律已耗尽燃料，彻底失效，回到1995年----2000年已彻底失效。

# 15年集成电路电路技术发展预测

## 摩尔定律---1995~2010

年 代		1995	1998	2001	2004	2007	2010	注解
最小特征尺寸/ $\mu\text{m}$		0.35	0.25	0.18	0.13	0.10	0.07	
存储器 DRAM/(位/芯片)		$64 \times 10^6$	$256 \times 10^6$	$1 \times 10^9$	$4 \times 10^9$	$16 \times 10^9$	$64 \times 10^9$	
微处理器/(晶体管数/ $\text{cm}^2$ )		$4 \times 10^6$	$7 \times 10^6$	$13 \times 10^6$	$25 \times 10^6$	$50 \times 10^6$	$90 \times 10^6$	
高速缓冲 SRAM/(位/ $\text{cm}^2$ )		$2 \times 10^6$	$6 \times 10^6$	$20 \times 10^6$	$50 \times 10^6$	$210 \times 10^6$	$300 \times 10^6$	
ASIC/(晶体管数/ $\text{cm}^2$ )		$2 \times 10^6$	$4 \times 10^6$	$7 \times 10^6$	$12 \times 10^6$	$25 \times 10^6$	$40 \times 10^6$	自动布图
芯片 I/O 数目		900	1 350	2 000	2 600	3 600	4 800	
封装管腿数目	微处理器/微控制器	512	512	512	512	800	1 024	
	高性能 ASIC	750	1 100	1 700	2 200	3 000	4 000	
芯片频率/MHz	一般性能	150	200	300	400	500	625	
	高性能	300	450	600	800	1 000	1 100	
芯片尺寸/ $\text{mm}^2$	DRAM	190	280	420	640	960	1 400	
	微处理器	250	300	360	430	520	620	
	ASIC	450	660	750	900	1 100	1 400	
片上最大连线层数目		4~5	5	5~6	6	6~7	7~8	$\mu\text{P}$
最小掩膜版数目		18	20	20	22	22	24	Logic
最大硅片直径/mm		200	200	300	300	400	400	DRAM
电源电压/V	桌上类	3.3	2.5	1.8	1.5	1.2	0.9	$\mu\text{P}$
	电池类	2.5	1.8~2.5	0.9~1.8	0.9	0.9	0.9	ASIC
最大功率	具有散热器的高性能芯片/W	80	100	120	140	160	180	$\mu\text{P}$
	没有散热器的逻辑芯片/(W/ $\text{cm}^2$ )	5	7	10	10	10	10	ASIC



# 技术摩尔定律-----仍然有效

- 芯片发展的**摩尔定律**（集成度3年翻两番的发展速度）目前尽管速度放慢，但仍可至少持续到2012，达物理极限0.05  $\mu\text{m}$ ，2017年？
- 光纤带宽需求的**超摩尔定律**（核心网带宽需求按9个月翻番速度发展）尽管速度放慢，但需求仍达14个月翻番，远高于摩尔定律
  - 缺乏能有效消耗带宽资源的应用，特别是视频应用是制约网络技术进一步发展的关键

# IC的分类

- 按处理的信号类型分类

- 模拟IC

- 模拟信号是在一定连续时间范围内和一定连续幅度范围内具有确定值的信号，能表达物理系统状态或行为的信息，或简单地说，是随时间变化的物理量，如电压、电流(或电荷值)、压力、温度和电磁波等
    - 对模拟信号进行处理的IC称为模拟IC，如运算放大器、A / D和D / A转换器、连续时间滤波器、开关电容滤波器、乘法器、调制器和振荡器等

## – 数字IC

- 数字信号是在时间和幅度的某些离散点上有确定值的信号
- 对数字信号进行处理的IC称为数字IC，如控制器、微处理器、ROM和RAM等

## – 数-模混合IC

- 由于模拟采样技术和MOS工艺的发展，一个芯片能同时处理数字和模拟两种信号，这种IC称为数-模混合IC
- 数-模混合集成电路的发展，出现了系统级芯片(SOC)，它结合了数字技术和模拟技术，把D / A转换器、微处理器和存储器等集成在单个芯片上。

## • 按生产的目的是分类

### – 通用集成电路:

- 如微处理器(CPU)芯片、存储器芯片、计算机外围电路芯片等等。这些芯片生产批量大，对电路的性能和芯片的利用率要求高，而对设计的成本、设计周期的要求可以放宽。

### – 专用集成电路

- ASIC (application specific integrated circuit):或用户专用IC(customer specific IC)
  - 为某些用户的专门用途而生产的芯片，或者说是除了通用芯片以外的均属于ASIC。其特点与通用IC正相反，并且对EDA(电子设计自动化)工具的要求较高。
  - 如半定制、定制特殊电路、PLD和FPGA电路，也包括采用门阵列和标准单元设计并制造的电路。
- ASSP (application specific standard product)专用的标准产品
  - 这类集成电路也是采用ASIC技术设计和制造的，但它是作为标准产品买给多个用户，它被列入制造商的产品目录中。
  - 如LAN用电路、图形处理用集成电路、通信用CODEC等

- 按设计风格分类

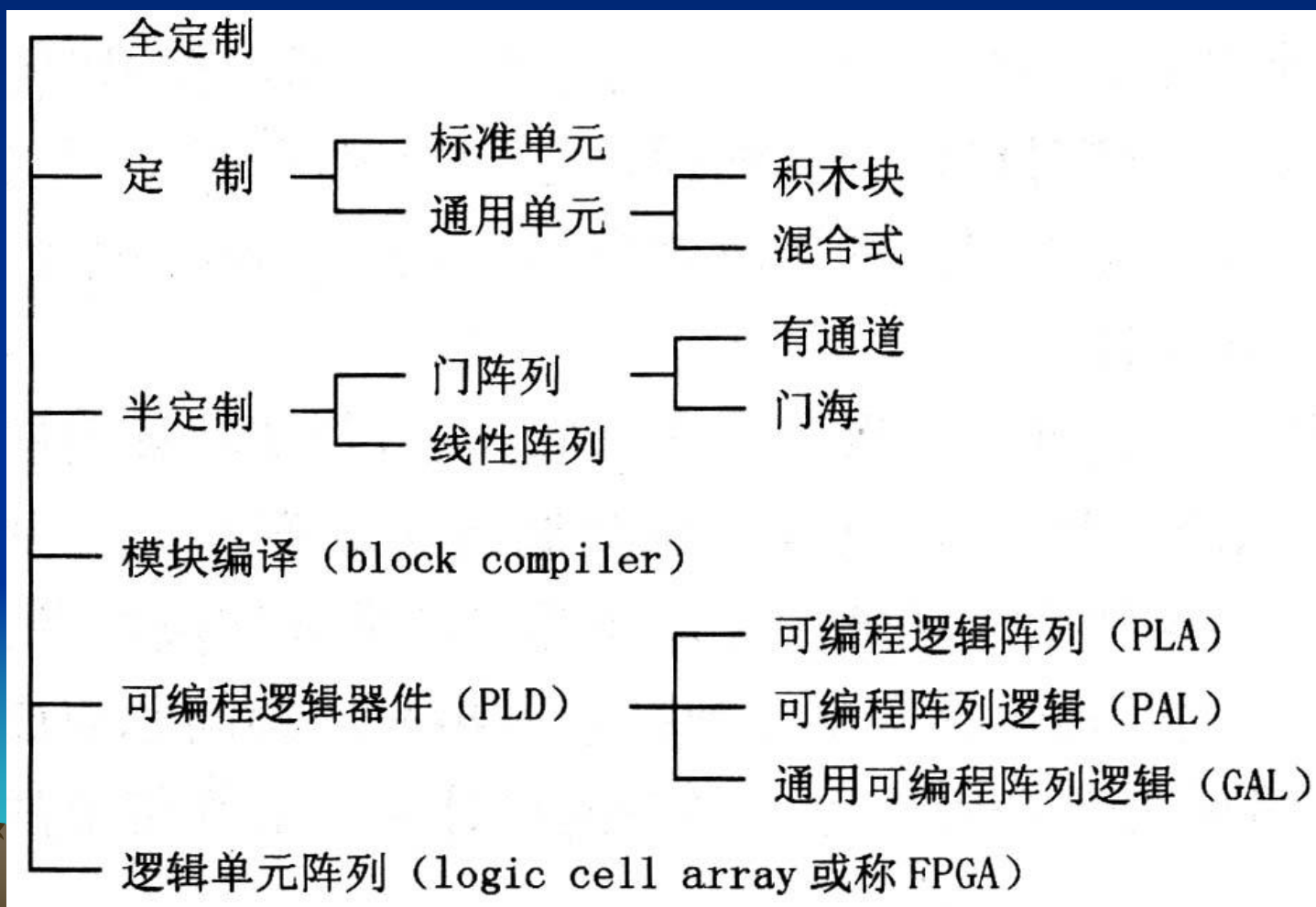
- 通用集成全定制(full-custom)方式。

- 它主要是基于晶体管级的芯片设计，芯片中的全部器件及互连线的版图都是按照系统要求进行人工设计的，尽量达到**密度高、速度快、面积小和功耗低**的要求，因此批量生产时**经济性好，但是设计开发时间长，设计费用高**。只有对于大量生产的通用IC或对性能有特殊要求的电路才适合采用全定制方式。但是最近随着硅编译技术的发展和设计自动化程度的不断提高，EDA工具提供了大量的经过精心设计好的**标准化单元**，使得全定制设计方法得到越来越广泛的应用。CMOS模拟集成电路的设计也属于这类电路：

- 半定制(semi-custom)方式。
  - 通常是指门阵列(gate-array)和标准单元(standard-cell)的设计方法。半定制芯片设计比较容易，用户一般不需要进行最低层的版图设计，初期投资少，从设计到成品所需的时间短。
  - 另外，由于半定制设计有规则的结构，故有利于CAD软件设计。其缺点是芯片的面积比较大，芯片利用率低，适合于要求设计成本低、周期短而生产批量小的芯片设计。

- 可编程逻辑器件 (programmable logic device, PLD)方式
  - 其特点是“可编程”，由IC生产厂家提供已经封装好的芯片，芯片的功能由用户使用EDA工具“写入”其中，编程后的芯片便成为专用集成电路。
  - PLD包括可编程逻辑阵列(PLA)、可编程阵列逻辑(PAL)、通用阵列逻辑(GAL)、可编程门阵列(PGA)和现场可编程门阵列(FPGA)，其中FPGA的发展最活跃，其产品的等效门可达几十万门。
  - PLD进一步缩短了设计周期，降低了设计成本，有的PLD器件允许用户多次“重写”，大大方便了用户，适合于新产品的试制和小批量的生产。其缺点是：由于芯片内部连线较长，速度慢；芯片的利用率较低，集成度相对较低

# 包括各种设计方法的ASIC树





# 1C的制造工艺

- 双极工艺：
  - 这种工艺中基本的有源器件是双极结型晶体管(BJT)，故称双极工艺。这种工艺生产的电路主要是TTL(transistor-transistor-logic)，即晶体管—晶体管逻辑以及ECL(emitter-couple-logic)，即发射极耦合逻辑。双极型集成电路的特点是功耗较大，速度比CMOS高(相同工艺水平条件下)，具有较大的负载能力。
- MOS工艺 (metal oxides semiconductor)。
  - PMOS，PMOS器件的电流由空穴传导
  - NMOS，NMOS器件的电流由电子传导
    - 由于硅材料中电子的迁移率是空穴的2~3倍，所以在相同条件下NMOS工艺比PMOS工艺可使电路实现更高的工作速度

- MOS工艺 (metal oxides semiconductor).
  - CMOS(complementary metal oxide semiconductor)工艺则包含两种工艺
    - CMOS电路中，NMOS管和PMOS管是成对出现的，其主要特点是功耗低，抗干扰能力强，输出电压范围宽。
    - CMOS工艺的发展已经十分成熟，占据了集成电路市场的绝大部分的份额，并且随着其工艺不断向亚微米和深亚微米发展，产品在速度也已经赶上并超过了TTL工艺。
- Bi-CMOS混合的双极-CMOS工艺设计。

# IC设计的要求

- 第一：设计时间。
  - 设计时间不仅仅影响设计费用和产品成本，而且还会影响到新产品上市参与市场竞争。设计时间过长，会使新产品失去投入市场的机会
- 第二：设计的正确性。
  - 由于集成电路的投片费用高，投片之后的电路是无法修改的，所以集成电路的设计必须保证一次成功。
  - 设计失误所带来的不仅仅是投片费用的损失，还有设计时间延误，产品上市的推迟，竞争失败等一系列的损失；
  - 随着集成度的增加，在设计中引入错误的几率也随着加大。目前在一个芯片上所集成的往往是很复杂的电路甚至是一个系统，对这样的芯片进行一次修改，所花费的代价是昂贵的。因此，必须保证设计的正确性。

- 第三，设计成本。

- 每个芯片的成本可以由下式计算而得：

$$C_T = C_D/V + C_p/YN \quad \text{式中:}$$

- $C_T$ 为每个芯片的成本， $C_D$ 为开发费用， $C_p$ 为每片硅片的工艺成本，
- $V$ 为芯片的生产数量， $Y$ 为平均成品率， $N$ 为每片硅片上的芯片数目。
- 对于小批量生产应减小开发费用；对于大批量生产，应增加成品率和每一硅片上的芯片数目

- 第四，产品的性能。

- 集成电路的性能主要取决于所选择的器件结构和电路形式，但是对于高速和低功耗的电路，尤其是深亚微米IC设计，互连线的延时比逻辑门延时大得多，版图设计中的布局与布线对电路性能的影响很大。因此要获得高性能的产品，在版图设计中，布局要尽量减小互连线的长度。

- 第五，设计的可测试性。

- 集成电路设计的可测试性，是指牺牲一部分芯片面积，引入测试结构或电路，用以检查和发现设计中可能存在的错误和制造工艺中可能出现的问题。
- 因为IC测试费用很高，有的专用集成电路的测试费用高达设计费用的50%以上，通过可测性设计，变不可测故障为可测故障，缩短测试时间，减少测试数据量，减少甚至摆脱对昂贵测试设备的依赖，能从根本上降低测试成本。

# 设计方法及其特点

- 设计目标：
  - 我们希望能在尽可能短的时间内以最低的成本来获得最佳的设计指标，而所用的芯片面积又是最小的。
- 问题：
  - 要全面达到这种要求是很困难的，只能进行某种折衷
- 解决方法：
  - 对很多产品，产量不大或者不允许设计的时间过长，这时只能对芯片面积或性能做出某种牺牲，并尽可能采用一部分已有的、规则结构的版图。
  - 为争取时间或市场，可先用最短的时间设计出芯片，在占领市场的过程中，再予以改进，即进行一次再开发、再设计。
  - 根据不同的设计要求，设计人员可以选择现有的各种设计方法

# 不同的设计方法及其特点

- 全定制法(full-custom design approach)

- 适用于要求得到最高速度、最低功耗和最省面积的芯片设计---通用芯片
- 通常采用随机逻辑网设计法，但完全由随即逻辑网组成的芯片不多。目前很多芯片已采用或部分采用规则结构网络(regular structured network)，如ROM，RAM或PLA等。这类规则结构的版图设计比较容易，易于用自动设计工具实现。
- 部分随机逻辑网络也逐渐走向模块式结构(modular structure)，如计数器、行波进位加法器等。这种标准的模块式结构的版图设计比非标准的随机逻辑要容易得多，便于检查。但应该指出，即使规则结构网络被广泛使用，随机逻辑网络仍对芯片的性能起着关键的作用。
- 通常ASIC的设计很少采用这种全定制方法，因为它的设计周期很长，设计成本很高。

## • 定制法(custom design approach)

– 它适用于芯片性能指标比较高而生产批量又比较大的芯片设计。通常分为两大类：

- (1)标准单元法(standard cell method)。“标准单元”的含义是由于电路中各单元的高度是相等的，只是在宽度上有差别。

- (2)通用单元法(general cell method)。又分为**积木块法**和**混合法**两种。在这类设计中各单元的高度和宽度不再相等。

– 以上两类方法中，所有的单元事先都经过精心设计并存在单元库中，在设计时根据电路要求从库中调出所需单元及压焊块，进行自动布局 and 布线，最后得到被设计电路的掩膜版图，统称为**库单元法**

– 特点：设计上自由度较大，芯片中没有无用的单元或晶体管，芯片面积较小。但建立一个物理单元库需要很大的初始投资。此外，制造周期较长，成本也较高



- 半定制法(semi-custom design approach)

- 它适用于要求设计成本低、设计周期短而生产批量又比较小的芯片设计。一般采用此法迅速设计出产品并投入市场，在占领市场后再用其它方法进行一次“再设计”。
- 半定制法包括数字电路门阵列和线性阵列(line array)两大类。门阵列又分为有通道门阵及门海两种。
- 门阵列和线性阵列都是预先在芯片上已生成了由基本门(或单元)所组成的阵列，即完成了连线以外的所有芯片加工工序。
- 半定制的含意就是对一批芯片作“单独处理”，即单独设计和制作接触孔和连线以完成特定的电路要求。这样就使从设计到芯片制作完成的整个周期大大缩短，因而设计和制造成本大大下降，
- 缺点：门阵列的门利用率较低，芯片面积比起定制设计和全定制设计的芯片要大。

- 模块编译法(block compiler)

- 它是一种全自动的设计方法。先对设计模块的性能进行描述，再通过编译直接得到该电路的掩膜版图。
- 这种方法目前适用于ROM、RAM、ALU、寄位移寄存器、乘法器等规则结构和模块式结构的芯片设计。

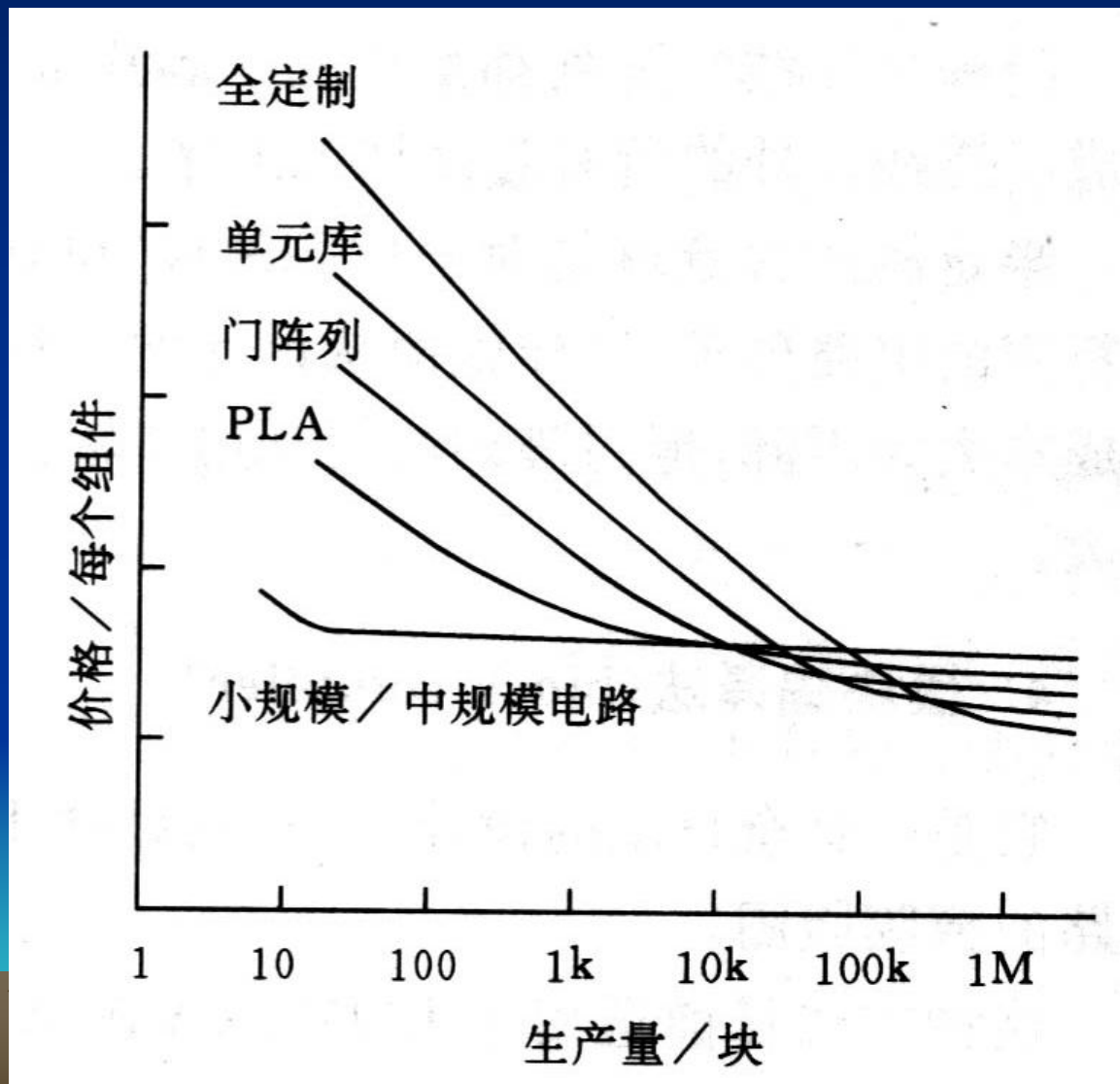
- 可编程逻辑器件法(programmable logic devices)

- 它是一种已完成了全部工艺制造的、可以直接从市场上购得的产品。
- 它本身不具有任何逻辑功能，但一经编程就可在该器件上实现设计人员所要求的逻辑功能。因此深受系统设计人员的喜爱，这是因为门阵列的“单独处理”需要由芯片制造商来完成连线工序，而PLD的“可编程”则由设计者自己通过开发工具就可完成。
- PLD器件的出现，同时降低了设计和制造成本，缩短了设计周期。可以说可编程逻辑器件的出现对电子系统的设计方法带来了极大的变革。
- 基本结构为：以“与”矩阵及“或”矩阵的结构为基础，包括有可编程逻辑PAL(programmable arraylogic)、通用可编程阵列逻辑GAL(generic-programmable arraylogic)两大类。

## • 逻辑单元阵列法(Logic Cell Array, LCA)

- 该类器件常被称为FPGA (field programmable gate array), 即现场可编程门阵列, 这一称谓并不确切, 因为它不是一种门阵列。
- LCA与PLD一样, 也是一种已完成了制造, 可从市场上直接购得的产品。设计人员得到该产品后通过开发工具对其进行“编程”来实现特定的逻辑功能。因此同样深受设计人员的欢迎。
- LCA与PLD不同点为, 它不是以“与”、“或”矩阵这种结构为基础的。LCA的内部由可配置逻辑功能块(configurable logic block)排成阵列形式, 在功能块之间为内连区, 芯片四周为可编程输入\输出功能块。
- 应该指出的是, PLD和LCA器件适用于电子系统开发阶段时采用。目前这两类器件的价格较高, 因而在系统进入大量生产时, 往往由于成本的原因, 将PLD和LCA再转换成相应的门阵列、或转换成相应的标准单元甚至再设计为ASIC芯片。

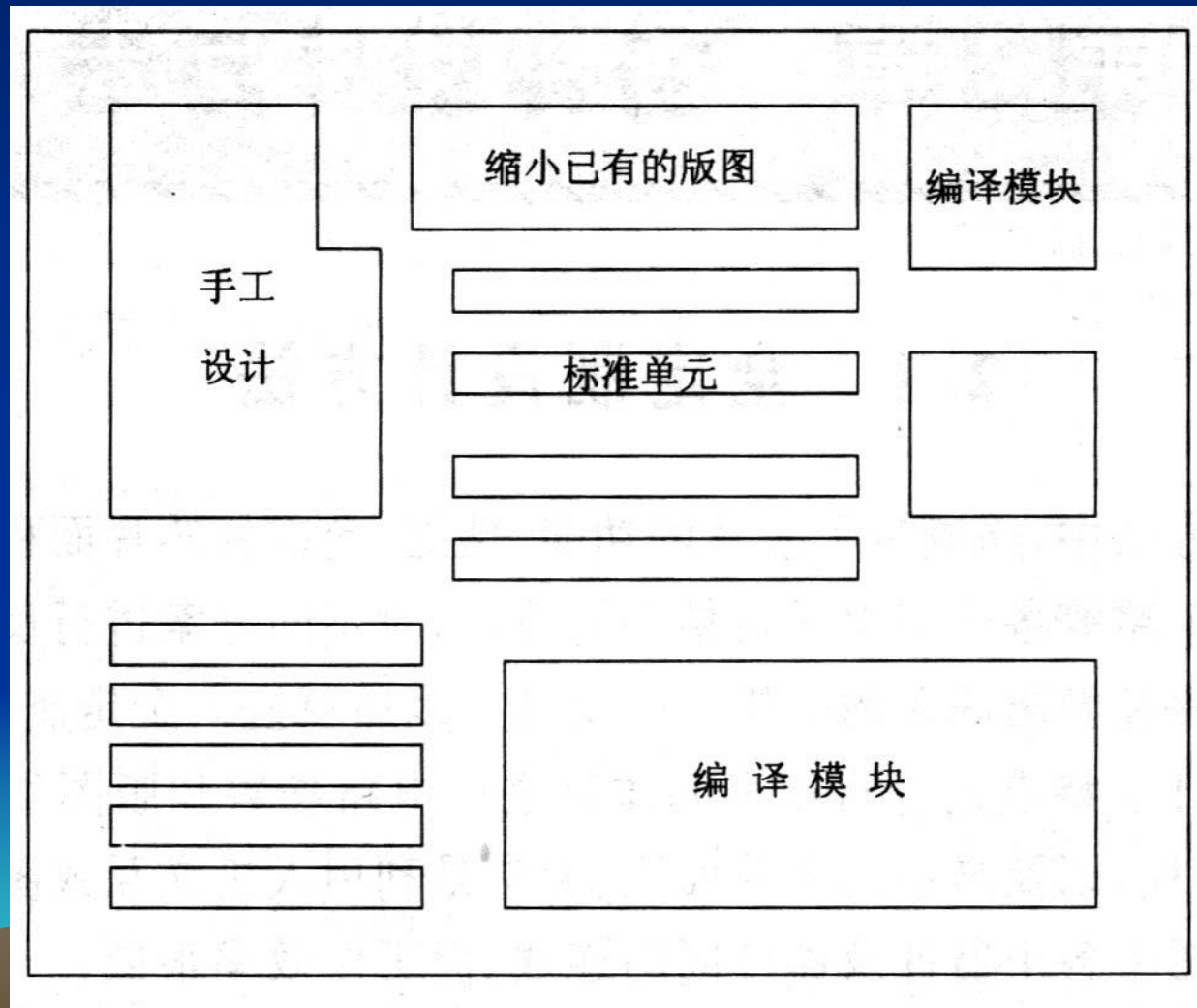
# 不同设计方法时成本与产量的关系



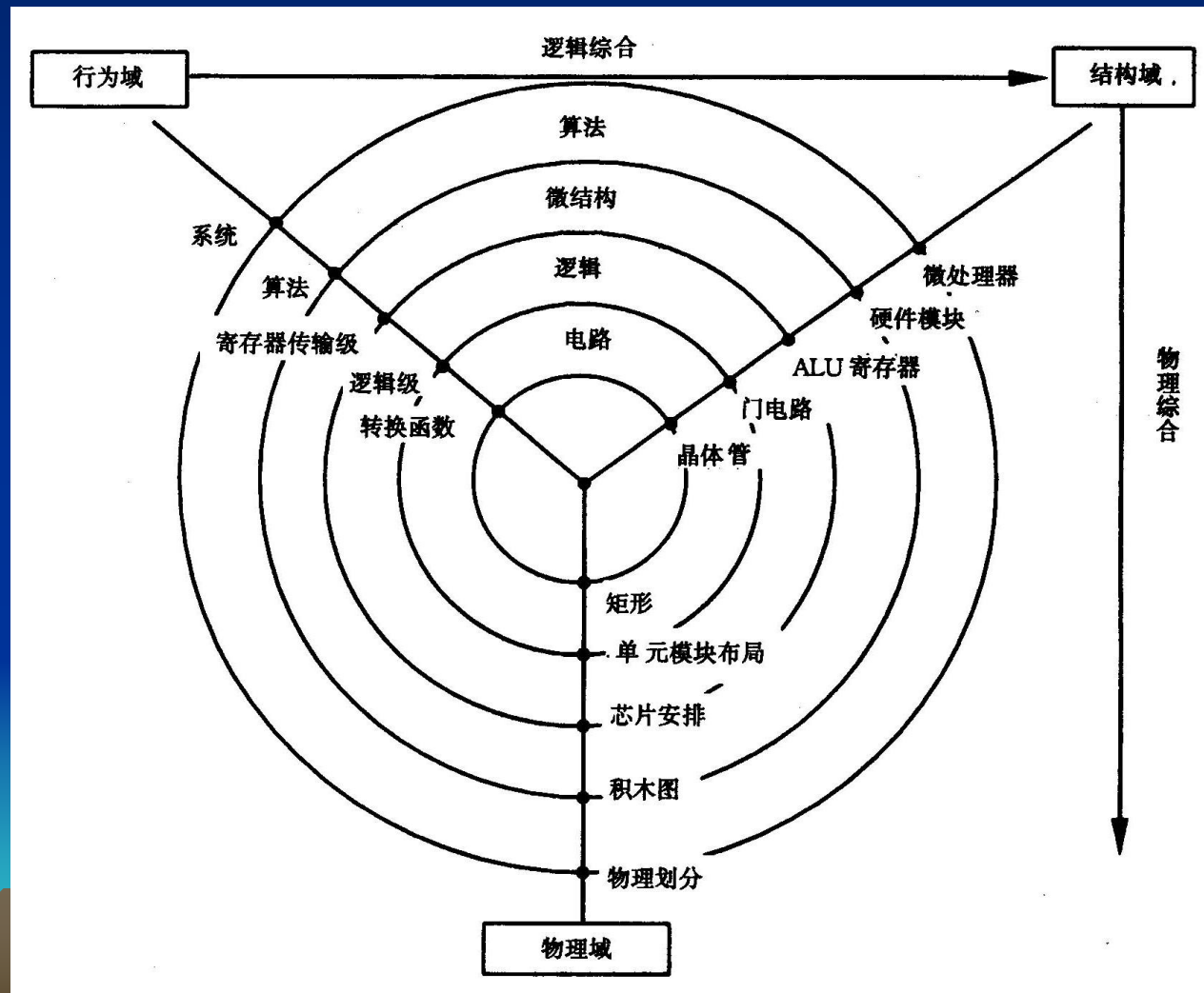
# 结构化层次式设计方法

- 随着VLSI芯片复杂性的增加，在整个芯片中只利用一种设计方法已认为是不经济的，因而提出了一种结构化的层次式设计方法 (structured hierarchical design approach)，
- 它是在一个芯片的设计时采用多种不同的方法。在一个芯片上可以有标准单元、通用单元、编译后的各种模块，也可以将已设计好的版图（缩小）利用起来放置在设计中。对于那些严重影响性能的模块则采用全定制法加以精心设计。
- 采用这种方法，设计周期可以大大缩短，而在性能和芯片面积方面则可以与全定制相比。

# 典型的结构化层次式设计方法



# VLSI设计的抽象层次和描述域的Y图

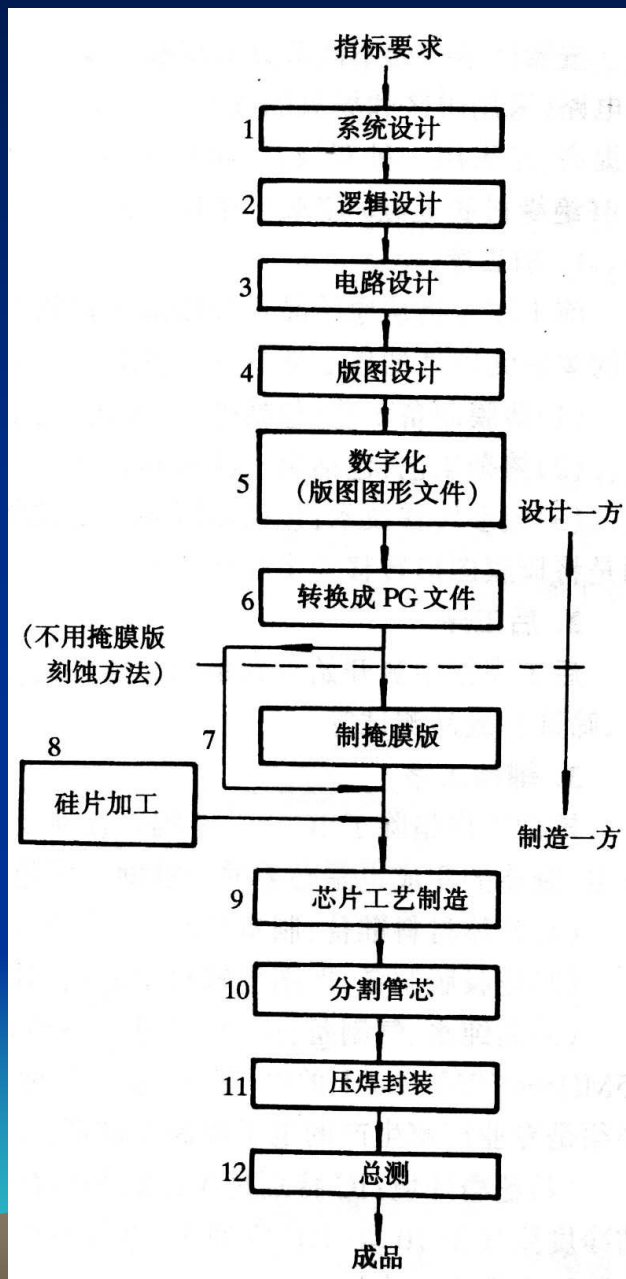




# VLSI设计的层次描述

设计层次	行为描述	结构描述	设计考虑
系统级	自然语言描述的性能指标、结构	方框图	系统功能
芯片级(IC中也称为系统级)	算法	微处理器、存储器、串(并)行口、中断控制器	时序、同步、测试
寄存器级(IC中为宏单元)	数据流图、有限状态机、状态表、状态图	寄存器、计数器、MUX、ALU	时序、同步、测试
逻辑门级	布尔方程、卡诺图	逻辑门、触发器	选择适当的基本门
电路级	电流、电压的微分方程	晶体管、R、L、C	电路性能、延时、噪声
版图级	几何图形与工艺规则		

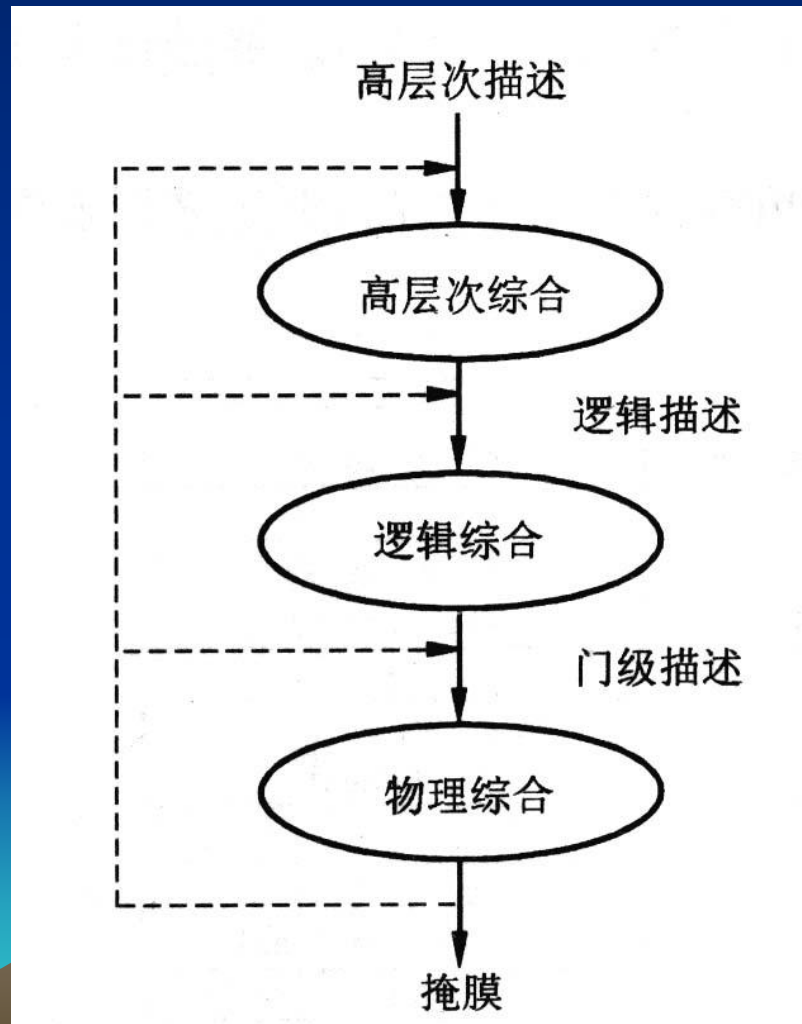
# VLSI数字系统的研制过程



# 设计流程

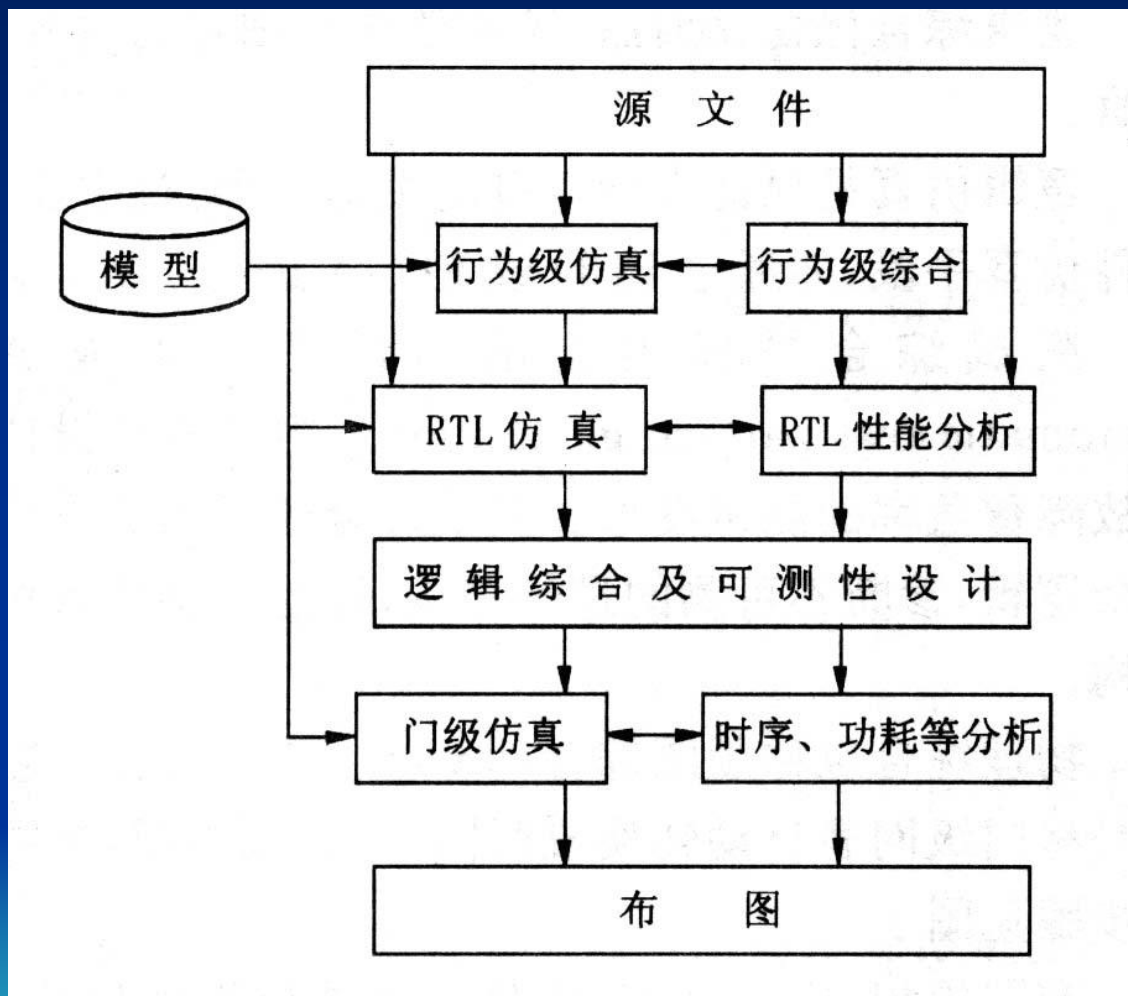
- 总体来讲，集成电路设计需经历三个子过程
- 高层次综合
  - 将系统的行为、各个组成部分的功能及其输入和输出用硬件描述语言加以描述，然后进行行为级综合。同时通过高层次的硬件仿真进行验证。
- 逻辑综合
  - 通过综合工具将逻辑级行为描述转换成使用门级单元的结构描述(门级的结构描述称为网表描述)。同时还要进行门级逻辑仿真和测试综合。
- 物理综合
  - 将网表描述转换成版图即完成布图设计。这时对每个单元确定其几何形状、大小及位置，确定单元间的连接关系。

# 总体的设计流程

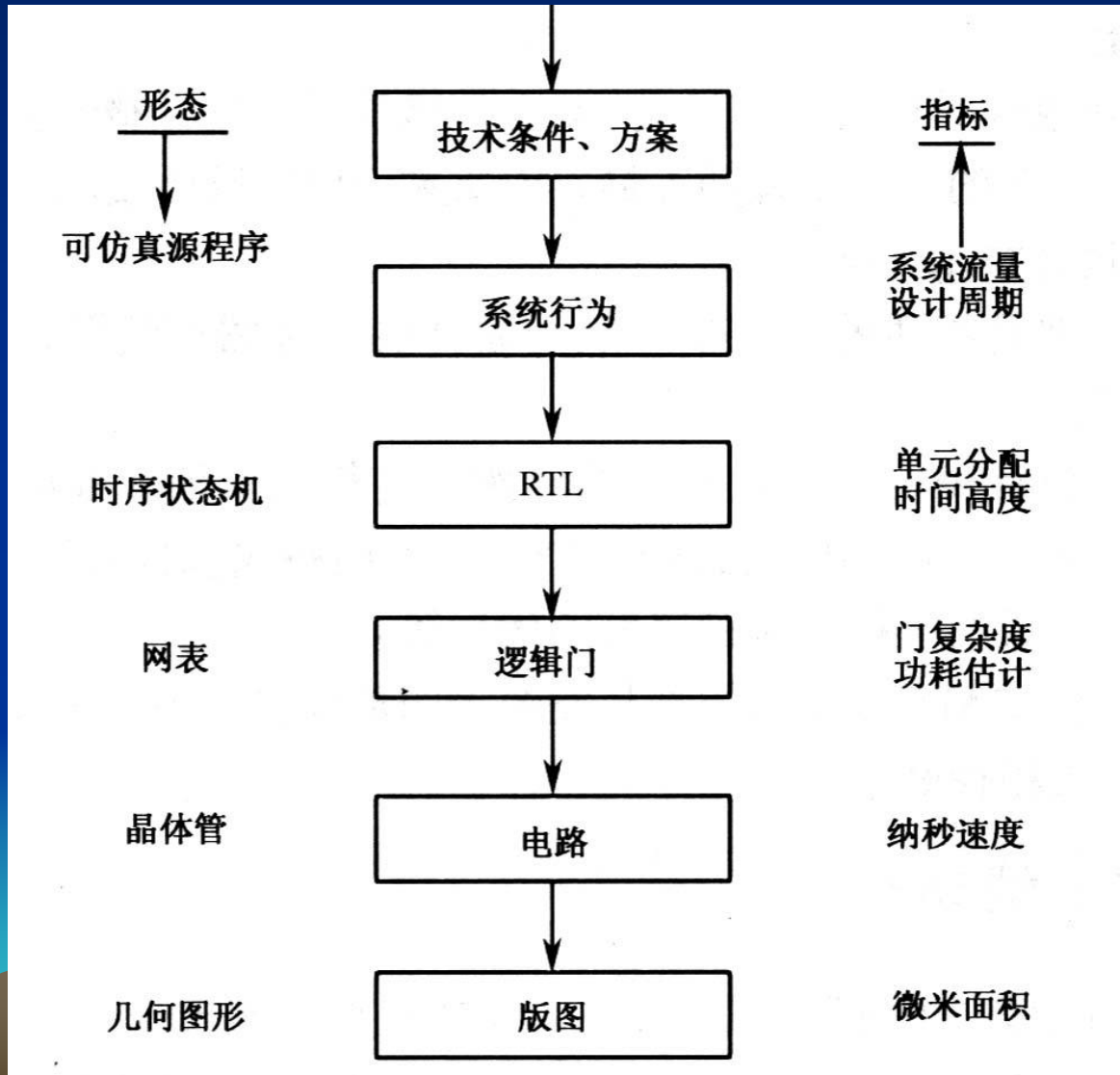




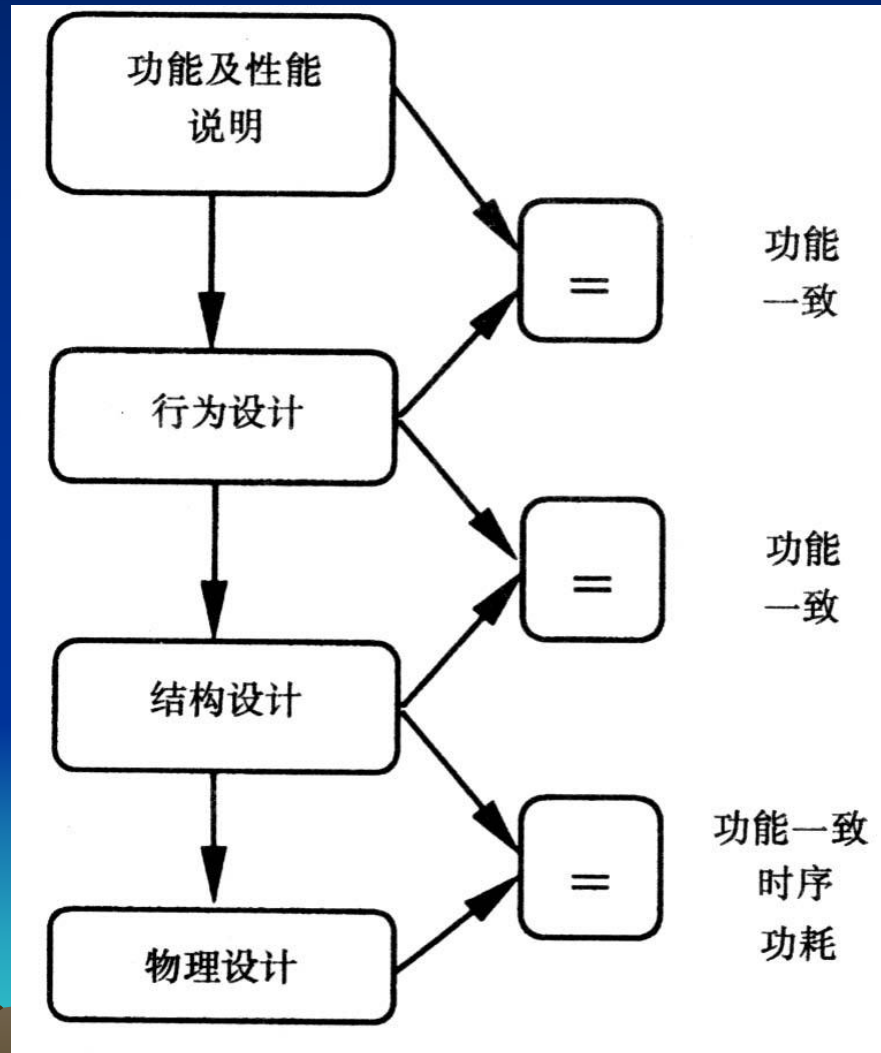
# 详细的设计流程



# 电子设计简化流程



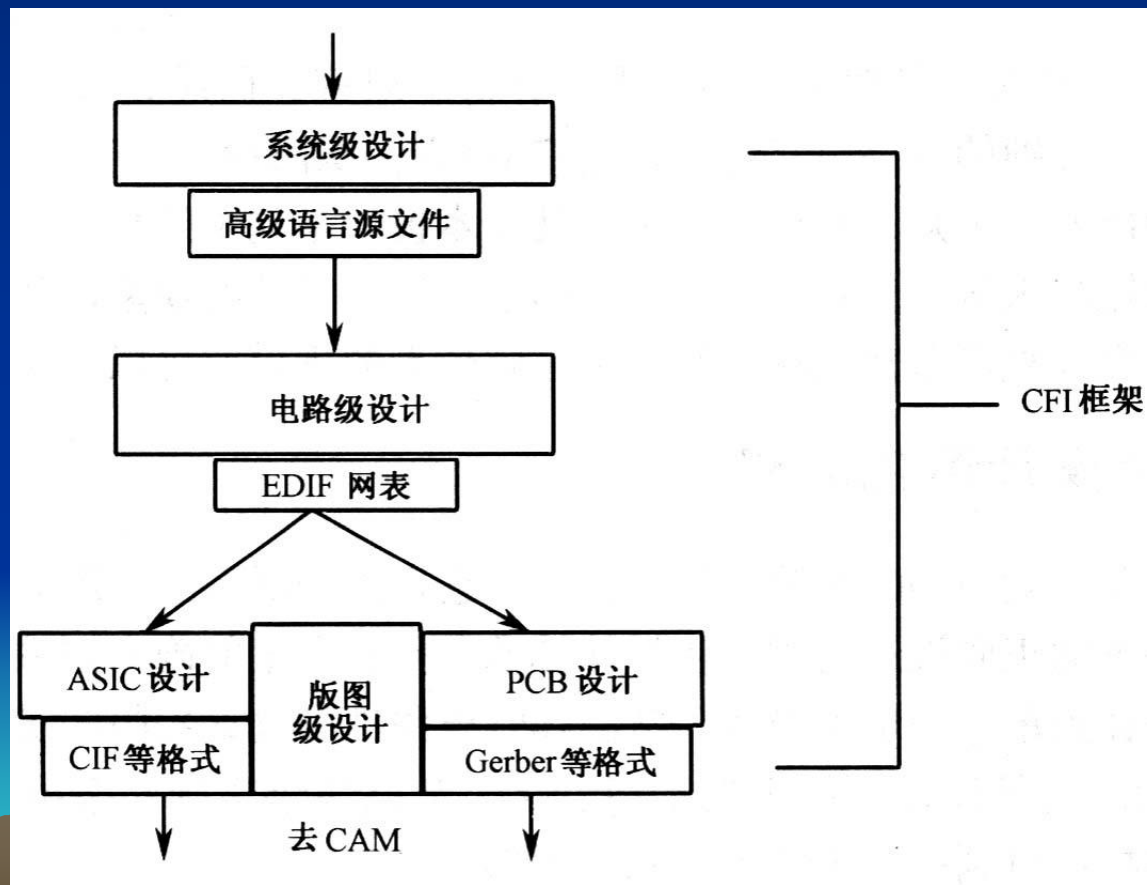
# CMOS芯片的设计流程





# EDA文件生成流程

沿着电子设计简化流程的设计路线，其生成的EDA文件流程为：



# 行为级综合和仿真

- 设计综合被定义为两种不同的设计描述之间的转换，或者是指一种将设计的**行为描述**转换成设计的**结构描述**的过程。
- 高层次综合也称为行为级综合(behavioral synthesis)。它的任务是将一个设计的**行为级描述**转换成寄存器传输级的**结构描述**。
- 首先翻译和分析设计的HDL语言描述，在给定的一组性能、面积和/或功耗的条件下，确定需要哪些硬件资源，如执行单元、存储器、控制器、总线等(通常称这一步为分配(allocation))，以及确定在这一结构中各种操作的次序(通常称之为调度(scheduling))。同时还可通过行为级和寄存器传输级硬件仿真进行验证。
- 由于实现设计的功能可能有多种硬件结构，因而**高层次综合的目的是要在满足目标和约束条件下，找到一个代价最小的硬件结构，并使设计的功能最佳**。

# 逻辑综合

- 是将逻辑级的行为描述转换成逻辑级的结构描述，即**逻辑门的网表**。  
逻辑级的行为描述可以是**状态转移图**、**有限状态机**，也可以是**布尔方程**、**真值表或硬件描述语言**。
- 逻辑综合过程包括一系列优化步骤，如资源共享、连接优化和时钟分配等。优化**目标是面积最小，速度最快，功耗最低或它们之间的某种折衷**。逻辑综合分成两个阶段：
  - 与工艺无关的阶段，这时采用布尔操作或代数操作技术来优化逻辑；
  - 工艺映象阶段，这时根据电路的性质(如组合型或时序型)及采用的结构(多层逻辑、PLD或FPGA)做出具体的映象，将与工艺无关的描述转换成门级网表或PLD或FPGA的执行文件。

# 逻辑仿真

- 逻辑综合优化完成后，还需要进行细致的延时分析和延时优化。此外，还要进行逻辑仿真。
- **逻辑仿真是保证设计正确的关键步骤**。过去通常采用软件模拟的方法，近年来则强调硬件仿真手段，如通过PLD或FPGA进行仿真。
- 测试综合是提供自动测试图形生成ATPG (automatic test pattern generation)，为可测性设计提供高故障覆盖率的测试图形。测试综合还可消除设计中的冗余逻辑，诊断不可测的逻辑结构，还能自动插入可测性结构。

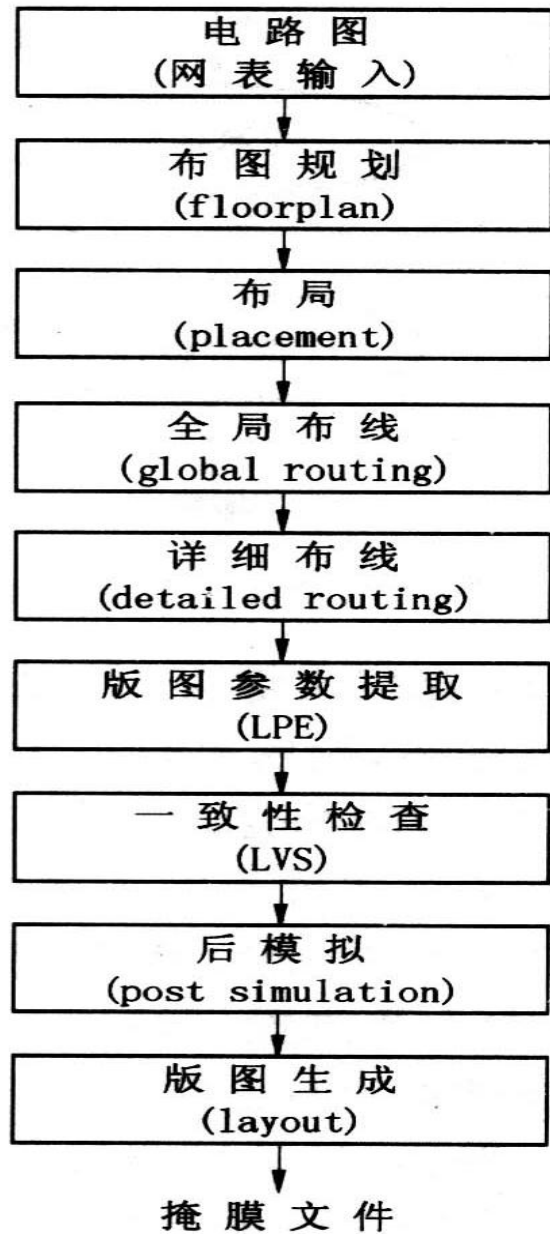
# 物理综合（版图综合）

- 物理综合也称版图综合(layout synthesis)。它的任务是将门级网表自动转换成版图，即完成布图。
- 布图规划(floorplan)是对设计进行物理划分，同时对设计的布局进行规划和分析。在这一步骤中，面向物理的划分，其层次结构可以与逻辑设计时的划分有所不同。布图规划可以估算出较为精确的互连延迟信息，预算芯片的面积以及分析得到何处为拥挤的布线区域。
- 布局是指将模块安置在芯片上的适当位置，并能满足一定的目标函数。一般布局时总是要求芯片面积最小，连线总长最短和电性能最优且容易布线。布局又分为初始布局和迭代改善两个子步骤。进行初始布局的目的是提高布局质量及减少下一步迭代改善时的迭代次数，而迭代改善是设法加以优化的过程，它是决定布局质量的关键。

- **布线**是根据电路的连接关系描述(即连接表), 在满足工艺规则的条件和电学性能的要求下, 在指定的区域(面积、形状、层次等)内百分之百地完成所需的互连, 同时要求尽可能优化连线长度和通孔数目。一般有两种布线方法;
  - 一种是**面向线网**的布线方法, 它是直接对整个电路进行布线, 布线时通常采取顺序方式;
  - 另一种称为**分级布线**, 它将布线问题分为全局布线(global routing)和详细布线(detailed routing)。
    - 面向布线区域的布线方法, 这种方法通过适当的划分, 将整个布线区域分为若干个布线通道区(Channel), 然后进行适当的布线分配, 即将一个线网的所有端点的走线路径分配到相应的通道区中; 接着是进行详细布线, 对分配到当前通道区中的所有线网段的集合, 按照一定的规则, 确定它们在通道中的具体位置。

- 在完成布局、布线后，要对版图进行设计规则检查，电学规则检查以及版图与电路图的一致性检查，在版图寄生参数提取的基础再次进行电路分析(即后模拟)。
- 只有在所有的检查都通过并被证明正确无误后，将布图结果转换为掩膜文件。然后由掩膜文件设法生成掩膜版，通常这是通过掩膜版发生器或电子束制版系统得到的。

# 布图的详细步骤





# “自顶向下”与“由底向上”设计步骤

- 芯片设计通常分为正向设计与逆向设计两大类。正向设计通常用来实现一个新的设计，而逆向设计是在剖析别人设计的基础上进行某种修改或改进。这两大类中又可分为“自顶向下”(top-down)和“由底向上”(bottom-up)不同的步骤。

表 1-1 “自顶向下”与“由底向上”设计

方 法 \ 步 骤	自顶向下	由底向上
正 向 设计	行为设计 结构设计 逻辑设计 电路设计 版图设计	系统划分、分解 单元设计 功能块设计 子系统设计 系统总成
逆 向 设计	版图解析 电路图提取 功能分析 结构修改 逻辑设计 电路设计 版图设计	版图解析 电路图提取 功能分析 单元设计 功能块设计 子系统设计 系统设计

- “自顶向下”的正向设计时

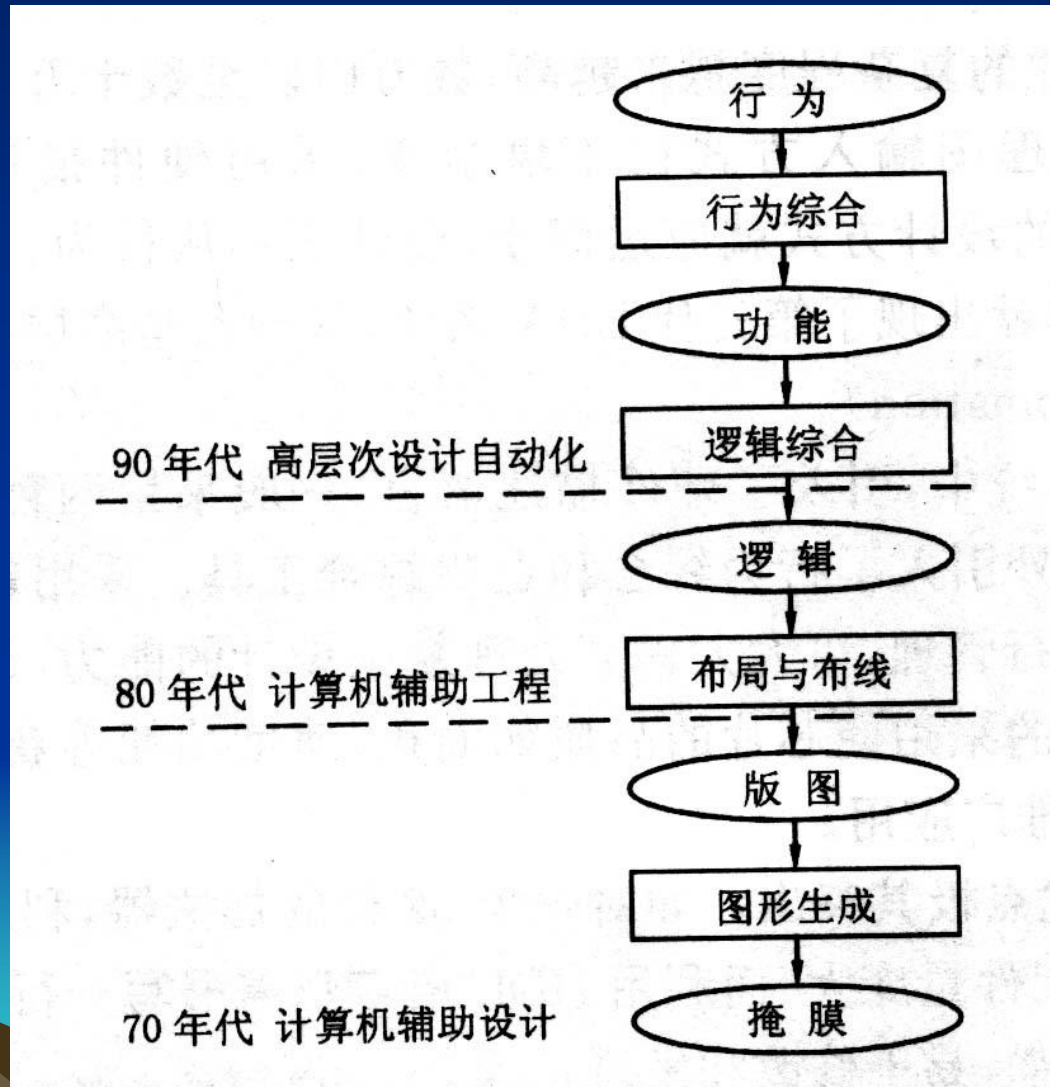
- 首先需要**进行行为设计**，要确定该VLSI芯片的功能、性能及允许的芯片面积和成本等。
- 其次是进行**结构设计**，根据芯片的特点，将其分解为接口清晰、相互关系明确的、尽可能简单的子系统，得到一总体结构。这结构可能包括有算术运算单元、控制单元、数据通道、各种算法状态机等。
- 其三是把结构转换成逻辑图，即进行**逻辑设计**。显然，同一功能块可以由多种逻辑设计加以实现。在这一步中，希望尽可能采用规则结构来实现和利用已经过考验的逻辑元或模块。
- 其四是进行**电路设计**，逻辑图将进一步转换成电路图。在很多情况下，这时需进行硬件仿真，以最终确定逻辑设计的正确性。
- 最后是将电路图转换成版图，进行所谓的**版图设计**。

- “由底向上”的正向设计
  - 系统划分和分解
  - 单元设计
  - 在单元精心设计后逐步向上进行功能块设计
  - 子系统设计
  - 系统总成。
- 在正向设计时，也往往有把“自顶向下”和“由底向上”两者结合起来完成一个芯片设计的。
- 对于逆向设计，无论是“自顶向下”或是“由底向上”，开始的版图解剖、电路图提取和功能分析三步都是必需的，在这以后才分成不同的处理。

# 集成电路设计方法的变革

- 随着集成技术的不断发展和集成度的迅速提高，集成电路芯片的设计工作越来越复杂，因而急需在设计方法和设计工具这两方面有一个大的变革，这就是人们经常谈论的“设计革命”。各种计算机辅助工具的涌现以及设计方法学的诞生正是为了适应这样的要求。
- 回顾30多年来电子系统(集成电路)设计自动化EDA (electronic-system design automation)的发展，大致可分为三个阶段：
  - 70年代的第一代EDA称为计算机辅助设计CAD (computer aided design)系统
  - 80年代出现了第二代EDA系统，常称为计算机辅助工程CAE (computer-aided engineering)系统。
  - 进入90年代，从行为、功能级开始的第三代EDA系统，其特点是高层次设计的自动化HLDA (high level design automation)。

# 集成电路设计自动化的各个阶段



# 70年代的第一代EDA系统（CAD）

- 它以交互式图形编辑和设计规则检查为特点，硬件采用16位小型机。
- 逻辑图输入、逻辑模拟、电路模拟与版图设计及版图验证是分别进行的，人们对两者的结果进行多次的比较和修改才能得到正确的设计。
- 第一代CAD系统的引入使设计人员摆脱了繁复、易出错误的手工画图、机械刻红膜的传统方法，大大提高了效率，因而得到了迅速的推广。
- 但它仍不能适应规模较大的设计项目，而且设计周期长、费用高。有时在投片制作后发现原设计存在错误，不得不返工修改，其代价非常昂贵。

# 80年代的第二代EDA系统确（CAE）

- 它以32位工作站为硬件平台。
- 它集逻辑图输入(schematic entry)、逻辑模拟、测试码生成、电路模拟、版图设计、版图验证等工具于一体，构成了一个较完整的设计系统。
- 特点：
  - 以输入线路图开始设计集成电路，在工作站上完成全部设计工作。
  - 不仅有设计全定制电路的版图编辑工具，还包括有门阵列、标准单元的自动设计工具和具有经过制造验证的、针对不同工艺的单元库。
  - 对于门阵列、标准单元等电路，系统可完成自动布局、自动布线功能，因而大大减轻了版图设计的工作量。

- 特点（续）

- 引入了版图与电路之间的一致性检查(layout versus schematic)工具。可对版图进行版图参数提取(LPE)得到相应的电路图，并将此电路图与设计所依据的原电路图进行比较，从而可发现设计是否有错。
- 将LPE得到的版图寄生参数引入电路图，作一次电路模拟(“后模拟”)，以进一步检查电路的时序关系和速度(引入寄生参数后)是否仍符合原设计要求。
- 尽管这些功能的引入保证了投片的一次成功率，但是一致性检查和“后模拟”仍是在设计的最后阶段才加以实施的，因而如果一旦发现错误，还需修改版图或修改电路，仍需付出相当的代价(当然可避免投片的损失)。



# 90年代的第三代EDA系统（EDA）

- 进入90年代，芯片的复杂程度越来越高，数万门以至数十万门的电路设计的需求越来越多。单是依靠原理图输入方式已不堪承受，采用硬件描述语言HDL(hardware description language)的设计方式就应运而生，
- 设计工作从行为、功能级开始，EDA向设计的高层次发展。
- 特点：
  - 是高层次设计的自动化HLDA(high level design automation)。在第三代EDA系统中，引入了硬件描述语言，一般采用两种语言即VHDL语言和Verilog HDL语言；
  - 引入了行为综合和逻辑综合工具。采用较高的抽象层次进行设计，并按层次式方法进行管理，可大大提高处理复杂设计的能力，设计所需的周期也大幅度缩短；
  - 综合优化工具的采用使芯片的品质如面积、速度、功耗等获得了优化，因而第三代EDA系统迅速得到了推广应用。

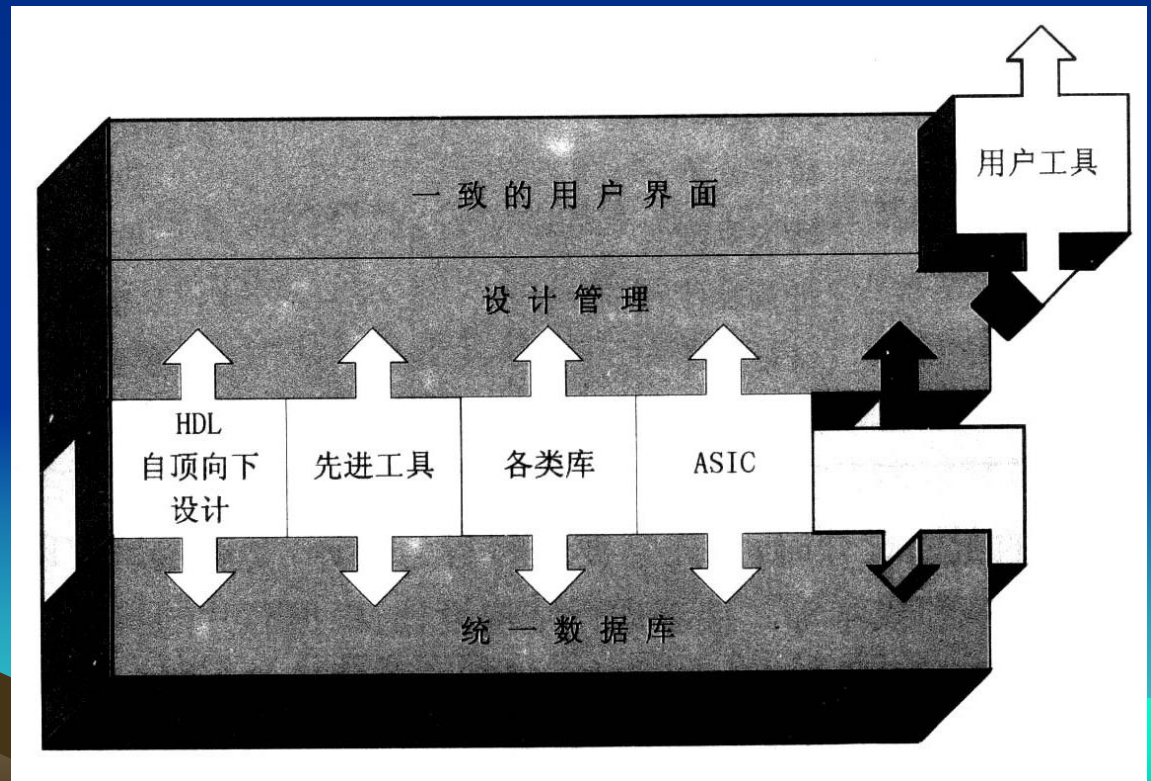
- 特点（续）

- 硬件描述语言的优点极其突出。如对一个32位的加法器，利用图形输入软件需要输入500至1000个门，工件量庞大；而利用HDL语言只需书写一行" $A=B+C$ "即可。此外HDL语言的可读性强，易于修改和发现错误。
- 高层次设计阶段是与具体生产技术无关的，即与工艺无关(technology independent)。一个HDL原码可以通过逻辑综合工具综合为一个现场可编程门阵列，即FPGA电路，也可综合成某一工艺所支持的专用集成电路，即ASIC电路。HDL原码对于FPGA和ASIC是完全一样的，仅需更换不同的库重新进行综合。
- 由于工艺技术的进步，需要采用更先进的工艺时，如从1um技术改为采用0.8um技术时，也可利用原来所书写的HDL原码。
- 由于采用了高层次设计自动化，可使设计者在正式投片以前多次改换电路的结构，从而选出最佳方案。

# 设计系统的结构框架

- 原有的EDA设计系统是以软件工具为核心，新一代系统是一个统一的、协同的、集成化的、以数据库为核心的系统。它具有面向目标的各种数据模型及数据管理系统，有一致性较好的用户界面及用户界面系统，有采用图例(paradigm)的设计管理环境和设计管理系统。
- 特点：

- 统一的数据库
- 操作的协同性
- 结构的开放性
- 系统的可移植性



- 主要特点:

- 统一的数据库

- 数据库中存储了所有的、各种设计视窗信息。包括网表(netlist)、原理图(schematic)、符号图(symbolic)、掩膜图(mask layout)、行为描述(behavior)、模拟结果(simulation)以及各种文档(documentation)等。
    - 由于各个设计视窗的数据形式和结构有很大的差异，数据库要确定每一设计视窗的设计数据与另一设计视窗的设计数据之间的关系，并提供对所有工具都有用的中间结果。各个工具可直接向数据库写入或从数据库中读出数据，消除了各工具在转换过程中所产生的数据出错现象。

- 结构的开放性

- 新一代EDA系统的结构框架具有一定的开放性。通过一种特定的编程语言作为界面可访问统一数据库。同时在此结构框架中可嵌入第三者所开发的设计软件。

- 主要特点（续）

- 操作的协同性

- 利用对所有工具都有用的中间结果，可在多窗口的环境下同时运行多个工具。
- 例如，当版图编辑器完成了一个多边形的设计，该多边形就被存入数据库，被存入的信息对版图设计规则检查器同样有效。
- 在版图编辑的过程中交替地进行版图设计规则检查。这样就可设计过程中寻找错误，而不再是等到设计完成后再进行设计规则检查，避免整个设计过程的反复。
- 当在逻辑窗口中对该逻辑图的某一节点进行检查时，在版图窗口可同时看到该节点所对应的版图区域。这种协同操作的并行设计环境使设计者能同时访问设计过程中的多种信息，并分享设计数据。

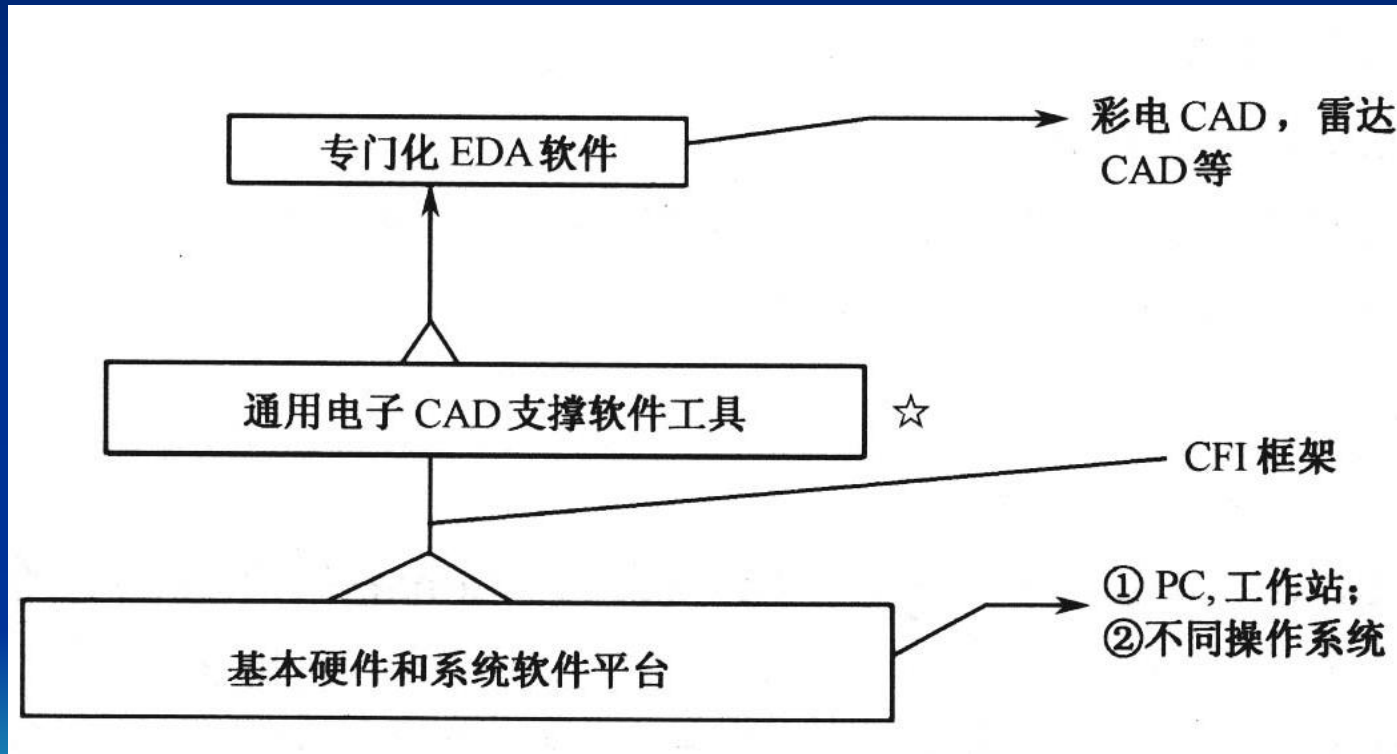
- 系统的可移植性

- 整个软件系统可安装到不同的硬件平台上(platform)。可组成一个由不同型号工作站(workstation)所组成的设计系统而共享同一设计数据。
- 可由低价的个人计算机PC和高性能的工作站共同组成一个系统。

# EDA设计工具

- 硬件：
  - 工程工作站（Working station）
  - 微型计算机PC
  - 计算机网络
- 软件：
  - 基于工作站的软件
  - 基于PC机的软件

# EDA设计工具平台

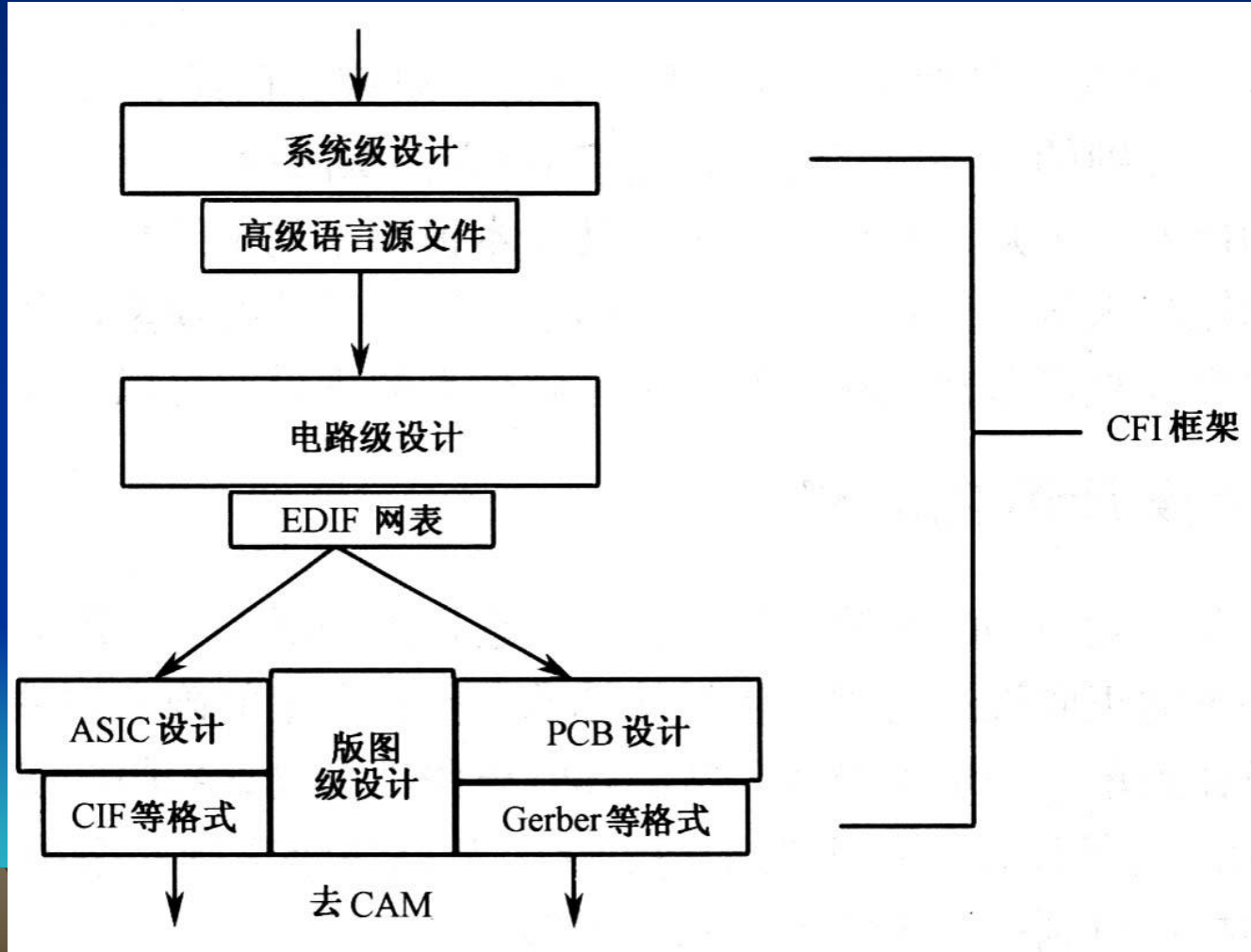


# 电子设计标准化

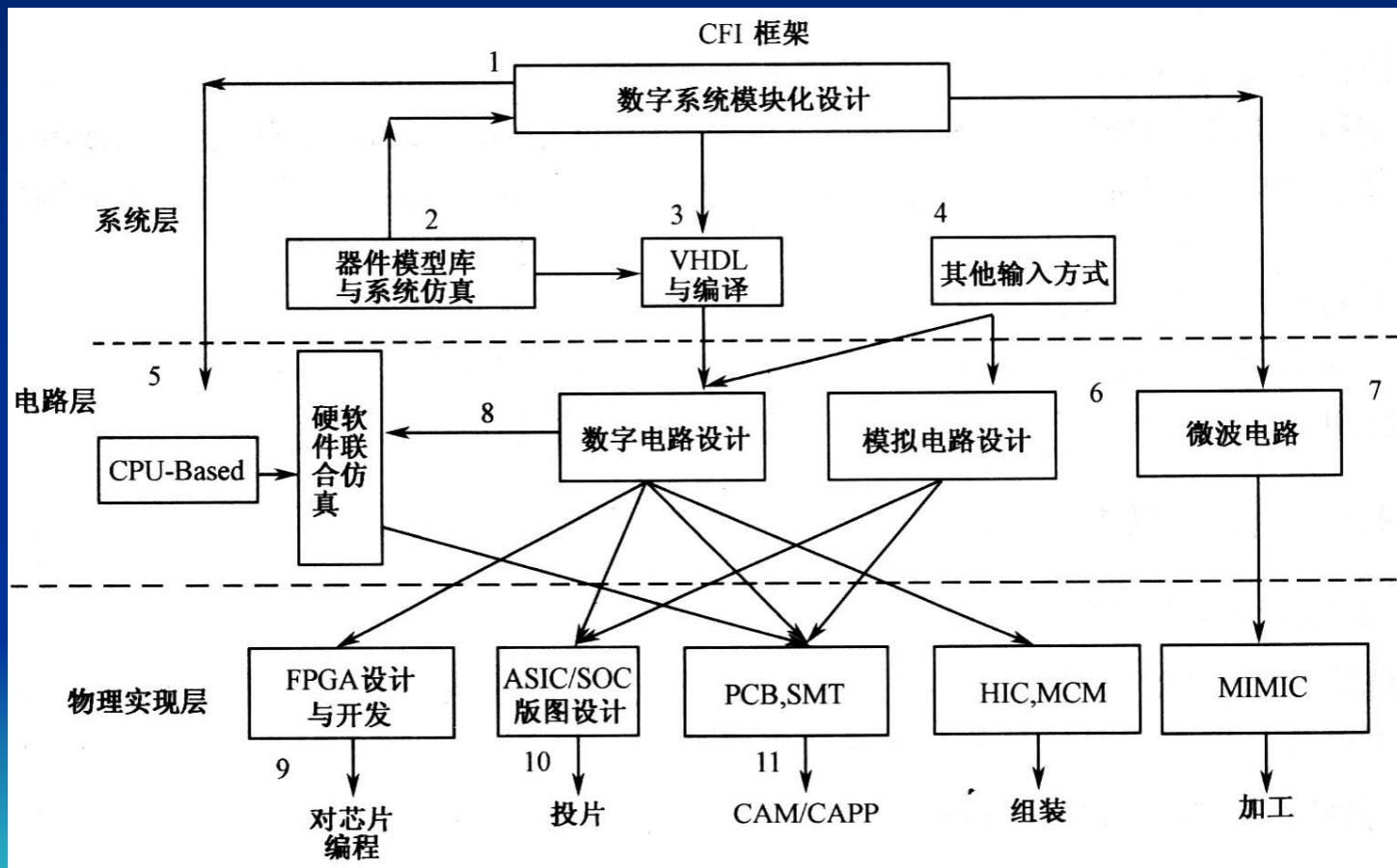
- **框架**：软件框架CFI由CAD框架促进会制定，它是介于操作系统和应用软件之间的软件层次，是EDA的配置规范
- **高级语言**：VHDL-数字硬件描述语言（IEEE-1076标准）、Verilog HDL（IEEE-1364标准)和SystemC都是设计硬件的高级描述语言，前二者为公认标准语言；
- **电路EDIF网表**：EDIF-Electronic Design Interchange Format,电子设计交换格式，可以认为是硬件设计的汇编语言，通用的EDIF200标准主要用于电路网表描述；
- **输出接口规范**：
  - CIF—加州理工中间格式（Caltech Intermediate Format），版图输出的一种格式，此外还有GDSII和PG格式；
  - Gerber—PCB版图的一种格式，驱动光绘机使用。目前国外正筹划新的PCB数据标准，三个公认的候选格式为：Valor的ODB++；IPC的GenCAM和EDIF400；
- **IBIS（I/O Buffer Information Specification）等模拟用文件及库标准**
  - 在模拟时要求输入设计文件和库文件都有一定的格式标准，这些标准包括：IBIS、Vital、SDF、PDEF、LEF等，EDA工具根据这些标准可以生成下列文件：
    - 按照规定的格式建造参数库，用于工艺映射；
    - 生成设计仿真、后仿真用的含参数网表、进行反标注等



# CFI框架—EDA文件生成流程



# 电子设计功能分解



# 电子设计功能分解

- 数字系统模块化设计
  - 方框图总体开发与设计，通信系统和网络设计，目前Cadence的SPW比较好；
- 器件模型库与系统仿真
  - Logic Modeling公司（目前属Synopsys)提供的Smart Model Library覆盖了所有商品化器件模型，包括Pentium系列和TMS320C30等各种TTL、CMOS器件；
- 高级语言设计与编译
  - 用VHDL等高级语言可以进行系统级、寄存器级和门级设计，一般分为行为和结构两种描述风格。采用CAD工具，可以完成描述、编辑、模拟、综合优化等设计工作。现在大多数EDA工具支持VHDL/Verilog HDL/SystemC等三种语言进行高层次设计和综合。
- 其他输入方式
  - 其它输入方式包括图形方式和非图形方式的文本方式，文本方式有真值表、状态图、方程式和电路网表等。ABEL语言也是一种文本，SPICE电路描述也是文本。图形输入和文本输入各有千秋，通常文本方式在顶层，图形方式在底层，二者并存。

# 电子设计功能分解（续）

- CPU-Based软件实现途径
  - 在系统整体方案中可能有硬件部分、软件部分。这些软件部分为基于CPU的实现途径。CPU包括单片机、工控机、PC机、工作站和小型机等，也可以是标准数字信号处理器（DSP）。如TMS320\*0系列、AT&T的DSP32和Analog的ADSP系列等。
- 模拟电路设计
  - 模拟电路设计以CAA为主，包括直流、交流、瞬态等分析；还有温度、容差分析和优化设计等内容。
- 微波CAD
  - 专门的微波设计软件MWSPIICE等，包括电路设计和版图设计，当今发展方向是MIMIC（Microwave/Millimeter Wave Monolithic Integrated Circuit）。
- FPGA芯片设计与开发
  - 指可编程一类芯片设计，其中GAL、EPLD常用于规模较小的组合逻辑设计，而FPGA用于规模较大的组合逻辑设计；

# 电子设计功能分解（续）

- 数字电路设计

- 数字电路设计的模拟仿真过程，包括电路图和版图两级的CAD设计过程。  
IEEE1164标准定义了下述九值逻辑系统：U（未定）、Z（高阻）、-（无关）、0（强制0）、1（强制1）、X（强制未知）、L（弱0）、H（弱1）和W（弱未知）。

- ASIC/SOC版图设计

- 设计数字ASIC/SOC电路时，可以将研制FPGA作为中间的原型试验阶段，成功后再用半定制完成设计。标准单元、门阵列等半定制方式都要进行布局布线等底层版图设计。
- 版图级的设计工具模块有
  - DRC（Design Rule Check）； ERC（Electrical Rule Check）
  - LPE（Layout Parameter Extractor）； LVS（Layout Versus Schematic）

- PCB设计

- PCB设计工具接收EDIF格式的电路网表输入；其输出是Gerber格式，可以直接驱动光绘机。在PCB设计中，应进行板级仿真、热分析、串绕分析和电磁兼容等分析。

# ASIC制造工艺与技术

- 对ASIC设计来说，可供选择的制造工艺有
  - 通用的CMOS工艺
  - 适宜高速大电流的ECL / TTL工艺
  - 将两者相结合的BiCMOS工艺
  - 极高速的GaAs工艺。这些制造工
- 主流工艺为CMOS工艺。CMOS制造工艺进展的标志，是以能够加工的半导体层最细线条宽度作为特征尺寸。分为以下几种：
  - (1) 微米级(M, Micron,  $10^{-6}$  m)—— $1.0\mu\text{m}$ 以上，系统时钟频率在40MHz以下，集成度规模在20万门以下；
  - (2) 亚微米级(SM)—— $0.6\mu\text{m}$ 左右，时钟频率在100MHz以下，集成度规模在50万门以下；

上述两种适合于采用门阵列和标准单元一类的半定制设计。

- (3) 深亚微米级(DSM)—— $0.35\ \mu\text{m}$ 以下，时钟频率在100MHz以上，集成度规模在100万门以上。
- (4) 超深亚微米级(VDSM)—— $0.18\ \mu\text{m}$ 以下，时钟频率在200MHz以上，集成度规模在500万门以上。（ $0.15$ 、 $0.13$ 、 $0.1$ 、 $0.09$ 、 $0.07$ 、 $0.05\ \mu\text{m}$ ）
- 目前这些CMOS工艺是并存的，设计师需要根据ASIC应用的要求，选择合适的制造工艺进行有针对性的设计。
- 对于实用化的CMOS工艺，若以线条宽度计，其改进进度约为每4年减半。其工艺线条宽度的变化进程如下：
  - 1985年： $2.0\ \mu\text{m}$ ；
  - 1989年： $1.0\ \mu\text{m}$ (微米)；
  - 1993年： $0.6\ \mu\text{m}$  (亚微米)；
  - 1997年： $0.35\ \mu\text{m}$  (深亚微米)；
  - 2001年： $0.18\ \mu\text{m}$ ；
  - 2005年： $0.1\ \mu\text{m}$  (超深亚微米)；

# 工作站(Working Station)

- 工作站(Working Station)是20世纪80年代出现的高档微机，其品种有SUN、DEC、HP，SGI等公司的产品，工作站普遍采用UNIX操作系统。
- 优点：运行速度快、图形功能强、大屏幕、大内存、丰富的网络功能。SUN工作在EDA业界应用最广泛。
- 1987年，SUN (Stanford University Network) Microsystems公司采用RISC (精简指令计算机)技术发明了SPARC (Scalable Processor, 可升级处理器结构)，它既简单性能又好。利用SPARC技术又开发出高速计算机芯片。SUN公司工作站的型号为SUN Sparc Station 1, 2, 10, 20等系列。再后来推出64位的Ultra Sparc I、II、III芯片和Ultra 1、2、10等系统。用于网络计算机设计的JAVA语言也是SUN公司的专有产品。



- SUN工作站的配置和技术性能

- 32位的CPU；SUN Sparc 32位CPU芯片的时钟频率是25~45MHz；运算速度指标为17.8~107.3MIPS (Million Instructions Per Second)和1.8~19 MFLOPS (每秒浮点运算的百万倍数)；SPEC marks=11.1~71.4(所谓 SPEC marks，是将多种评估软件的运行时间和参考时间的比值再取几何平均值而成的一个指标数)
- 8~512MB的系统内部存储器；
- 64KB—4MB的高速缓冲存储器；
- 3.5英寸1.44MB软盘驱动器；
- 207MB—40GB的硬盘；
- 48倍速的只读光盘驱动器；
- 标准键盘和光电鼠标；
- 21英寸的彩色显示器；
- 2D、3D图形加速器，32位SBUS扩展槽，SCGI接口
- 音频I/O接口，Ethernet网络接口。

<b>项目名称: Sun V880 工作站报价</b>							
<b>TO:</b>	中大 陈老师		<b>Tel:</b>				
<b>FROM:</b>	神州数码有限公司 邹愚			<b>Tel:</b> 020-87582246-3734; <b>Fax:</b> 87543458			
<b>Date:</b>	2003年9月13日			<b>Page:</b>	1 / 1		

**配置描述: Sun V880, 2个750Mhz Ultra Sparc III处理器, 4GB内存, 6个36GB硬盘, PGX64图形卡, 21"显示器, DVD, Solaris 8简体中文版**

项目号	产品描述	数量	单价	单项总价	折扣价
<b>1</b>	<b>Sun V880 System</b>				
1.1	A30-WRF2-04GQF Sun V880: 2个750Mhz UltraSparc III 处理器, 4GB 内存, 8MB高速缓存, 6个36GB 光纤硬盘, 10/100M以太网, IEEE 1394, USB	1	\$117,303	\$117,303	¥281,527
1.2	X3768A PGX64图形卡	1	\$384	\$384	¥2,688
1.3	X7146A 21" 彩显	1	\$1,300	\$1,300	¥10,795
1.4	X3582A 键盘鼠标套件	1	\$59	\$59	¥413
<b>合计(USD):</b>				<b>\$118,987</b>	
				<b>总价:</b>	<b>¥295,423</b>

# 微型计算机（PC）

- 的CPU分为两档：80\*86和奔腾（Penfium）系列；操作系统也分为两档：DOS (Disk Operation Sysmm，磁盘操作系统)和Windows操作系统；
- 近20年来，微机的发展主要依靠Intel公司CPU的不断进步；
  - 从1985年的32位CPU 80386DX问世，它的时钟频率是16~33MHz，运算速度是3~4MIPS，可访问物理存储器为4GB；
  - 1989年，80486DX，将CPU、387、Cache及控制集成于一个芯片中，其性能达目54MIPS；
  - 1993年，采用亚微米技术的Pentium，俗称奔腾、P5或者80586，这种CPU的时钟频率超过100MHz，性能指标为112MIPS。
  - 1996年，Pentium Pro，俗称686问世；其后又是Pentiu II、Pentium III尽领风骚
  - 2003年来推出的Pentium IV2G、等更快的CPU。
  - Intel和HP合作的Intel IA-64，又称爱腾，这种64位的微机现在已经研制成功。

# 计算机网络

- 微机、工作站都已普遍联网，计算机的概念和功能都得到质的扩展。设计师可以通过网络 and 文件服务器来实现数据交换和资源共享。
  - **定义**：由具有自主功能的计算机通过通信手段相互连接组成的复合系统，以利于信息交换、资源共享、协同工作。从概念上计算机网络由通信子网和资源子网两部分功能构成。
  - **通信子网**：负责计算机之间的通信，即信息传输。
  - **资源子网**：互连后的计算机负责对信息进行处理，形成信息流的源和宿，向用户提供共享硬件、软件及信息资源。
  - **层次**：通常将网络分为七层，即：物理层、数据链路层、网络层、传输层、会话层、表示层、应用层。
- Internet对所有计算机开放，只要遵守IP网络协议(Internet Protocol)/TCP传输控制协议(Transmission Control Protocol)，申请IP地址即可入网。

# 工作站软件

- 目前EDA工具仍以工作站作为主要安装平台。尽管微机非常普及，但由于历史的原因，安装在工作站上的软件普遍档次较高、功能较全。

工作站平台上的主流EDA软件包括：

- Cadence
- Synopsys
- Mentor
- Zuken

# Cadence

- Cadence公司创立于1987年，合并了多家EDA公司，包括PCB方面较强的Valid和CCT，
- 现为世界EDA业界排行第一。研制出的Verilog HDL也已被确定为IEEE-1364标准。
- 其中的Alta-Cadence比较独立，它是系统设计软件(原为Comdisco)包括信号处理工作站(SPW, Signal Processing Workstation)，可以完成数字信号处理(DSP, Digital Signal Processing)系统设计及验证；用于通信、雷达设计。
- SPW有300多个DSP功能模块，根据信号流程框图生成正确的模拟结果。它可以自动生成C语言代码，也可以输出VHDL语言源程序。

# Synopsys

- Synopsys公司在EDA业界排名第二，但是它的综合工具居世界第一。它提倡高层设计(HLD)，现今有八成的ASIC由高层设计。支持VHDL全集，它允许概念级验证，可以自动生成特定工艺门一级的网表，包括：VHDL系统仿真器、HDL编译(翻译)器、设计编译(优化)器、测试矢量生成器(ATPG, AutomaticTestPatternGenerator)，用SmartModel仿真。
- 其中的Avant!比较独立，它是深亚微米ASIC设计的专业化工具，成立于1994年。它兼并了Compass和Meta Microsim (Hspice)，Compass是拥有优秀库单元的设计工具；Hspice是模拟ASIC设计的优秀工具。将Avant!并入Synopsys公司后，使得Synopsys公司的底层设计能力大为提升。

# Mentor

- Mentor公司创立于1981年，世界排名第三。推出EDA全线产品，包括：
  - (1)设计图输入；
  - (2)数字电路设计工具；
  - (3)模拟电路分析工具；
  - (4)数\模混合电路分析工具；
  - (5)逻辑综合工具；
  - (6)故障分析模拟工具；
  - (7)PCB设计；
  - (8)ASIC设计与校验；
  - (9)自动测试矢量生成(ATPG)
  - (10)系统设计工具；
  - (11)数字信号处理(DSP)工具
  - (12)FPGA设计。



# Zuken

- PCB设计，唯一的亚洲公司，它兼并了RecalRedac(Visula)公司，世界排名第五。
- 其产品模块CR-5000和PDM-5000都比较好

# 微机软件

- 微机平台上的EDA软件，它们主要是用来设计专用集成电路的，是适合我国国情的一类优秀的实用化软件。
  - Viewlogic电路设计工具
  - TannerTools ASIC开发工具
  - OrCAD综合电子CAD系统工具
  - FPGA开发系统
  - Protel PCB设计工具
  - 工作站软件的微机化

# Viewlogic电路设计工具

- Viewlogic公司成立于1984年，它同时推出工作站和微机两大系列，并且相互间设计数据兼容。Workview微机系列包括用于DOS的Workview Series I和Windows NT的Workview Office，Powerview工作站系列用于UNIX环境。Viewlogic工具中包括下列设计模块：
  - Viewdraw——电原理图绘制；
  - Viewsim——功能模拟，时序仿真
  - Viewgen——从网表再生成原理图
  - Viewfault——故障仿真器；
  - Speedwave(以前有VHDLDesigner)——VHDL语言设计环境。
  - 还有FPGAExpress，包括Xilinx等多种FPGA版图设计接口。
- 原来的Summit公司有一个很好的图形化高端设计工具。Viewlogic和Summit合并后成立Innoveda公司，产品改名为eProduct。还并入Innoveda公司的Pads PCB设计系统，这是一个实用PCB设计系统，与Viewlogic有较好的接口。目前，Innoveda公司将与Mentor合并。

# TannerTools ASIC开发工具

- Tanner Tools是电子专业技术人员开发的ASIC设计轻型系统，它与Viewlogic有很好的合作关系。
- 前端电路设计普遍采用Viewlogic工具，包括用Viewlogic\ViewDraw进行原理图绘制；用Viewlogic\ViewsSim进行逻辑模拟。
- TannerTools也有GateSim可以进行逻辑模拟；但是后端版图设计是它的强项和重点，
- 主要工具是全定制版图编辑工具L-Edit，其中的软件模块有：
  - (1) SPR (Standard cell Place & Routing)
  - (2) DRC设计规则检查；
  - (3) LPE版图参数提取；
  - (4) LVS版图电路验证。
- Tanner Tools工具中配备的各种库有：CMOS3LIB、SCMOSLIB、AnaCMOSLib等。通常前面两个软件库已经足够满足实际ASIC/SOC设计的应用需求

# OrCAD综合电子CAD系统工具

- OrCAD综合电子CAD系统工具的软件模块如下：
  - 原理图设计工具OrCAD\Capture，早期版本为OrCAD\SDT。
  - 数字\模拟电路仿真工具OrCAD\Pspice，早期版本为OrCAD / VST。
  - PCB版图设计工具OrCAD\Layout，早期版本为OrCAD / PCB。
- 与SDT\Capture可以接口的软件很多，微机、工作站平台的软件都有，包括：Tannertools等。目前OrCAD已经并入Cadence公司。
- 在OrCAD中Pspice电路分析软件是一个比较独立的软件模块。SPICE是由美国大学伯克莱分校于20世纪60年代末70年代初开发成功问世的，以IC设计时的分析为主。Pspice以SPICE为基础，最初是美国Microsim公司于80年代中期推出的用于PC机的一种SPICE模拟电路仿真分析软件。

# 其他EDA设计系统

- **FPGA开发系统：**目前电子设计师进行FPGA设计已经很普遍，可选用的FPGA芯片品种繁多，例如ATT2C系列、Virtex II、Xilinx系列等,开发系统主要有：
  - Alter公司的 **Max+Plus II**
    - 用Viewlogic的WorkviewOffice设计FPGA的电路；用FPGAExpress进行综合；再用NEOCAD(通用FPGA版图设计软件)设计FPGA的版图等。
  - Xilinx公司的的 ISE平台（早期的Foundary）
    - Modelsim仿真
- **Protel PCB设计工具**
  - Protel设计工具主要用于印刷电路板的版图设计，新版本一般都是基于Windows操作系统的。国内应用非常普遍，并且在其中加入了国标符号库。Protel的早期版本为Tango。
- **工作站软件的微机化**
  - Cadence；Synopsys；Mentor都有相应的微机版，但不太流行。

# 练习

- 根据摩尔定律，预测2007年的工艺线宽、芯片规模、速度等；
- 就你所知道的EDA软件，阐述一个电子新产品开发过程中使用的EDA软件全过程
- 扫一扫芯片测试交流微信 a360843328

