



北方工业大学
NORTH CHINA UNIVERSITY OF TECHNOLOGY



中国科学院微电子研究所
INSTITUTE OF MICROELECTRONICS OF THE CHINESE ACADEMY OF SCIENCES

《集成电路先进制造工艺技术》 中级培训班

刻蚀原理与介质刻蚀工艺

目 录



集成电路先进制造工艺技术 中级培训班

- 一、 等离子体基本原理与干法刻蚀工艺介绍**
- 二、 刻蚀工艺特性表征参数与量测手段**
- 三、 刻蚀工艺高级控制技术介绍**
- 四、 国内外主要设备与厂商介绍**
- 五、 先进制造技术中的刻蚀工艺应用**
- 六、 小结**

目 录



集成电路先进制造工艺技术 中级培训班

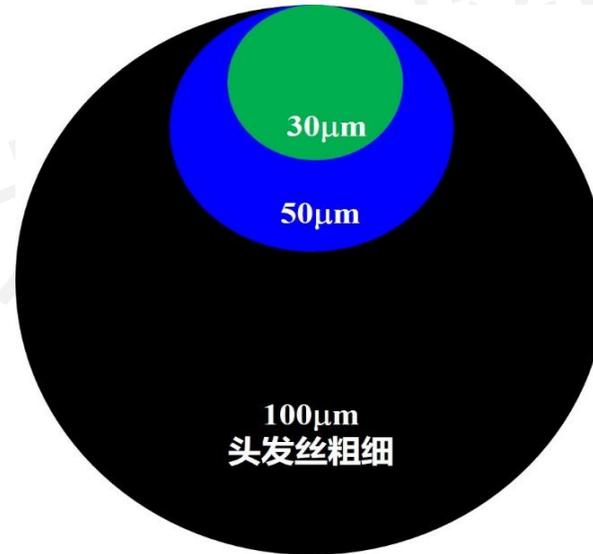
- 一、 等离子体基本原理与干法刻蚀工艺介绍
- 二、 刻蚀工艺特性表征参数与量测手段
- 三、 刻蚀工艺高级控制技术介绍
- 四、 国内外主要设备与厂商介绍
- 五、 先进制造技术中的刻蚀工艺应用
- 六、 小结

集成电路的微缩之路



集成电路先进制造工艺技术 中级培训班

- 摩尔定律:当价格不变时, 集成电路上可容纳的元器件的数目, 约每隔**18-24个月**便会**增加一倍**, 性能也将**提升一倍**。
- 当前量产工艺: **5nm** (TSMC, FinFET)
尺寸大小相当于头发丝的: **1/20000**



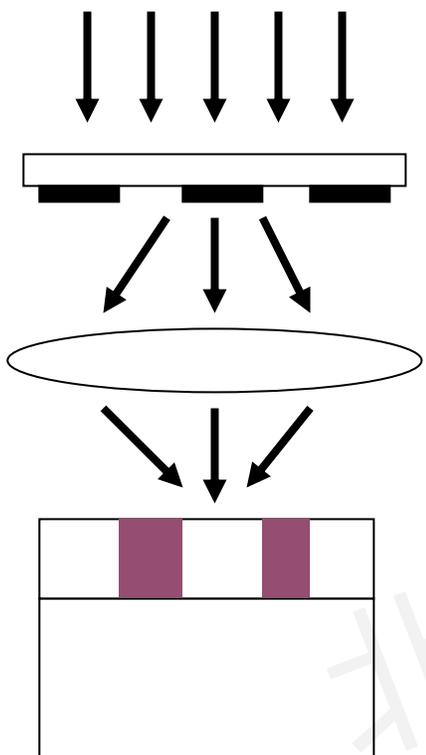
微缩之路的关键工艺



IMECAS

集成电路先进制造工艺技术 中级培训班

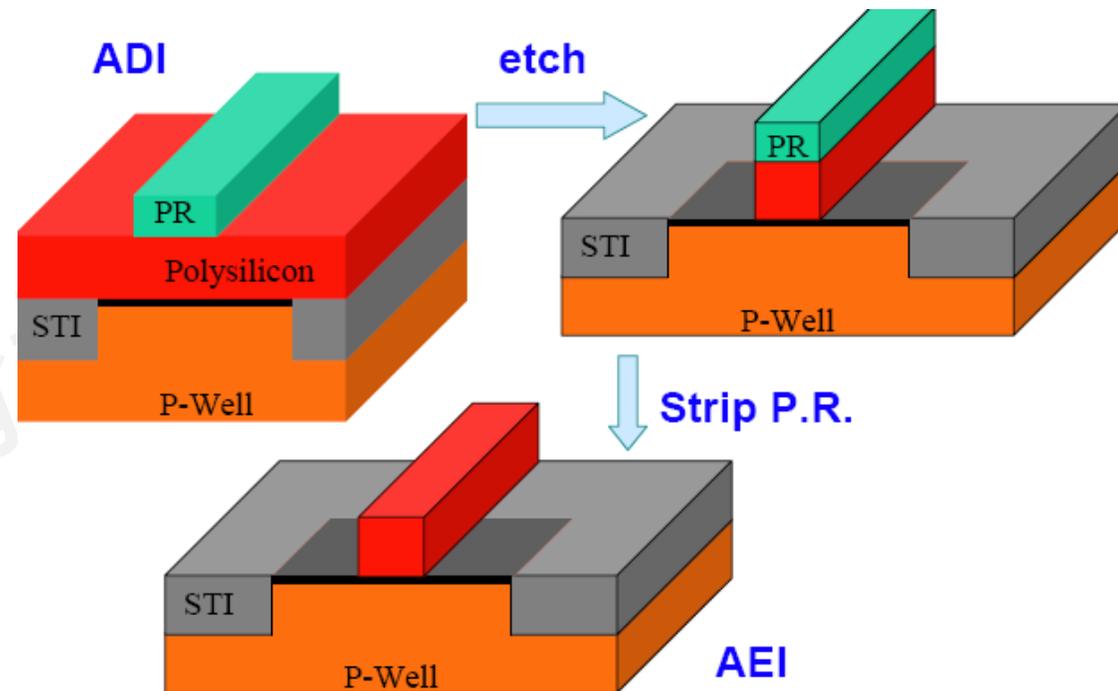
光刻 (Lithography)



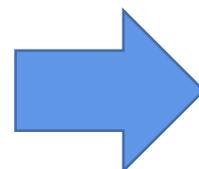
瑞利判据

$$R = k_1 \frac{\lambda}{NA}$$

刻蚀(Etch)



光刻 定义图形



刻蚀 转移图形

图片来源于网络公开资料

刻蚀的基本概念

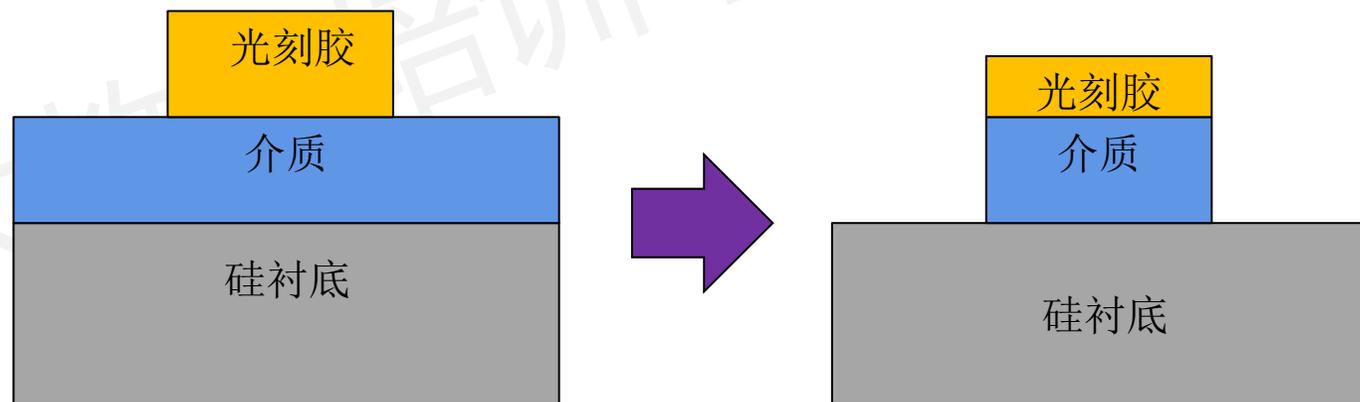


集成电路先进制造工艺技术 中级培训班

目的: 将光刻得到的**光刻胶图形转移**到硅片表面的**薄膜**上,即利用光刻胶膜的覆盖和保护作用,以**化学反应或物理作用**的方式去除没有胶保护的薄膜,完成图形转移的目的。

要求:

- 1 图形转移时的保真度
- 2 选择比
- 3 均匀性
- 4 刻蚀速率
- 5 刻蚀的清洁



方法:

湿法刻蚀
干法刻蚀

湿法刻蚀



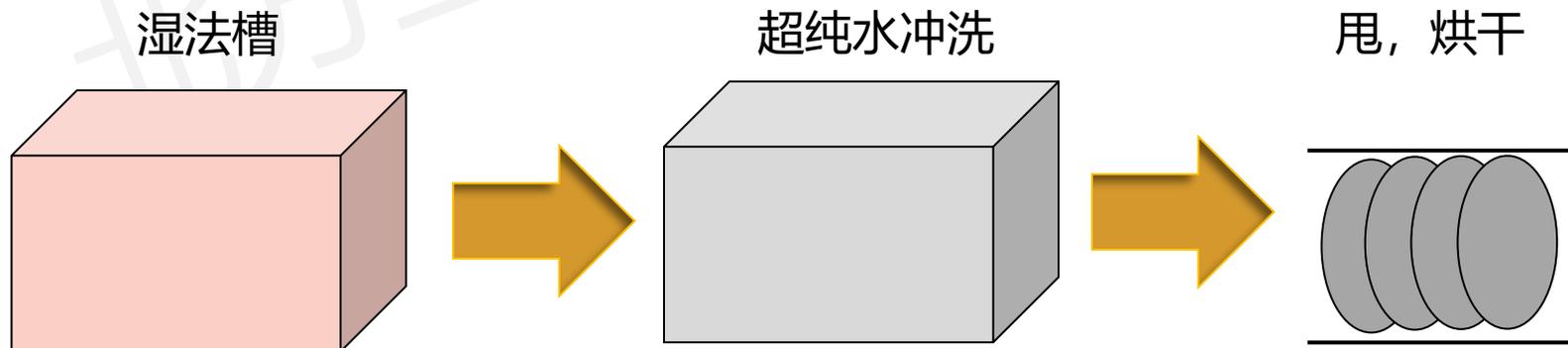
集成电路先进制造工艺技术 中级培训班

湿法刻蚀是一个**纯粹的化学反应过程**，它是利用化学试剂，与被刻蚀材料发生**化学反应**生产**可溶性物质**或**挥发性物质**。

优点：选择性高、重复性好、生产效率高、设备简单、成本低

缺点：缺乏各向异性、工艺控制能力差、过度的颗粒污染

现在湿法刻蚀一般只用于非关键尺寸的任务中，而在关键尺寸任务中普遍采用干法工艺。



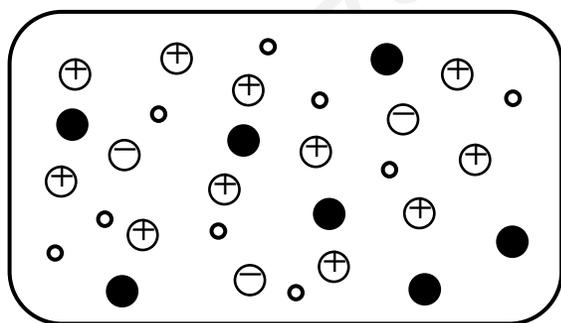
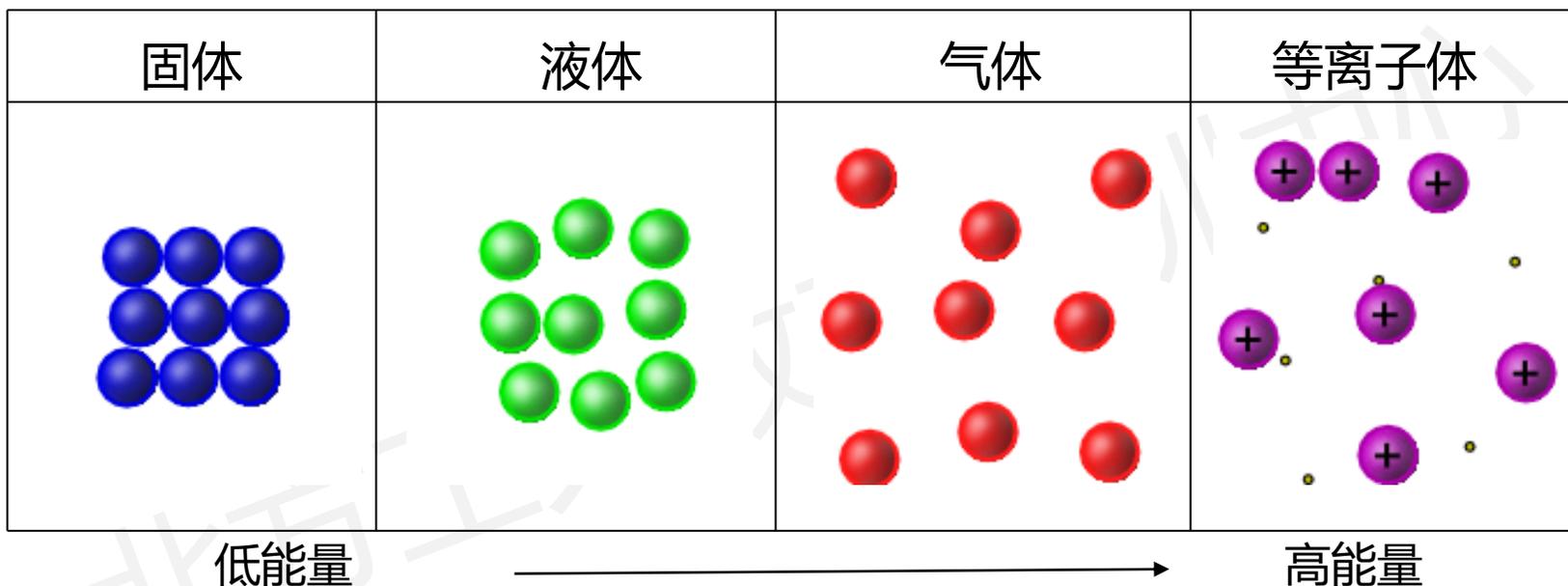
干法刻蚀-等离子体



IMECAS

集成电路先进制造工艺技术 中级培训班

□ **等离子体**是部分或完全电离的中性气体，由电子、正/负离子、中性离子（激发态/基态）、自由基、光子等组成。



- : 电子
- ⊕ : 正离子
- ⊖ : 负离子
- : 中性粒子

带正电和带负电的粒子数量几乎相等。

气体分子被热能或加速电子和辐射提供的能量电离。

图片来源于网络公开资料

等离子体基础



IMECAS

集成电路先进制造工艺技术 中级培训班

- 人类首次认知等离子体是在**1879年**英国科学家**布鲁克斯** (William Crookes) 研究电现象时的偶然发现。
- Plasma这个希腊词汇由美国科学家**朗缪尔和托克斯**在**1929年**首次提出，用来描述气体放电管里的辉光等离子体。
- 在**自然界**里，炽热烁烁的**火焰**、光辉夺目的**闪电**、以及绚烂壮丽的**极光**等都是等离子体作用的结果。对于整个**宇宙**来讲，几乎**99.9%**以上的物质都是以等离子体态存在的，如恒星和行星际空间等都是由等离子体组成的。用人工方法，如核聚变、核裂变、辉光放电及各种放电都可产生等离子体。



欧文·朗缪尔 (Irving Langmuir, 1881年1月31日 - 1957年8月16日)，美国化学家、物理学家，1932年诺贝尔化学奖得主



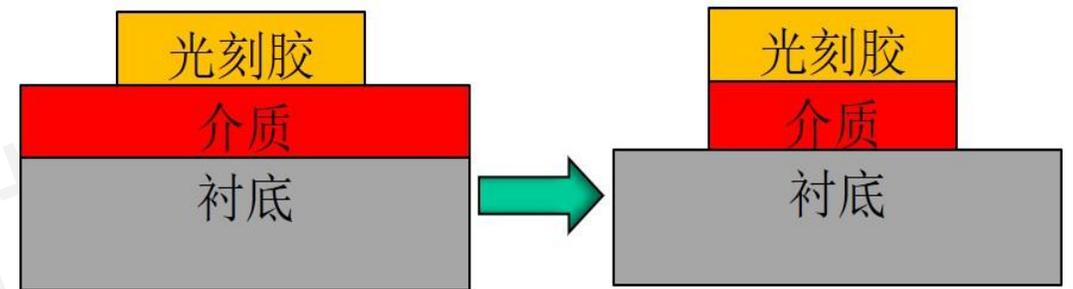
无处不在的等离子体!

图片来源于网络公开资料

干法刻蚀是采用等离子体进行图形转移的技术

干法刻蚀与湿法刻蚀相比具有以下优点：

- 刻蚀剖面是各向异性，具有非常好的侧壁控制；
- 良好的关键尺寸（CD）控制；
- 最小的光刻胶脱落或粘附问题；
- 良好的片内、片间、批次间的刻蚀均匀性；
- 较低的化学制品使用和处理费用。



然而干法刻蚀也存在一些缺点，最主要的是对下层材料选择比不高、等离子体带来的器件损伤以及昂贵的设备。

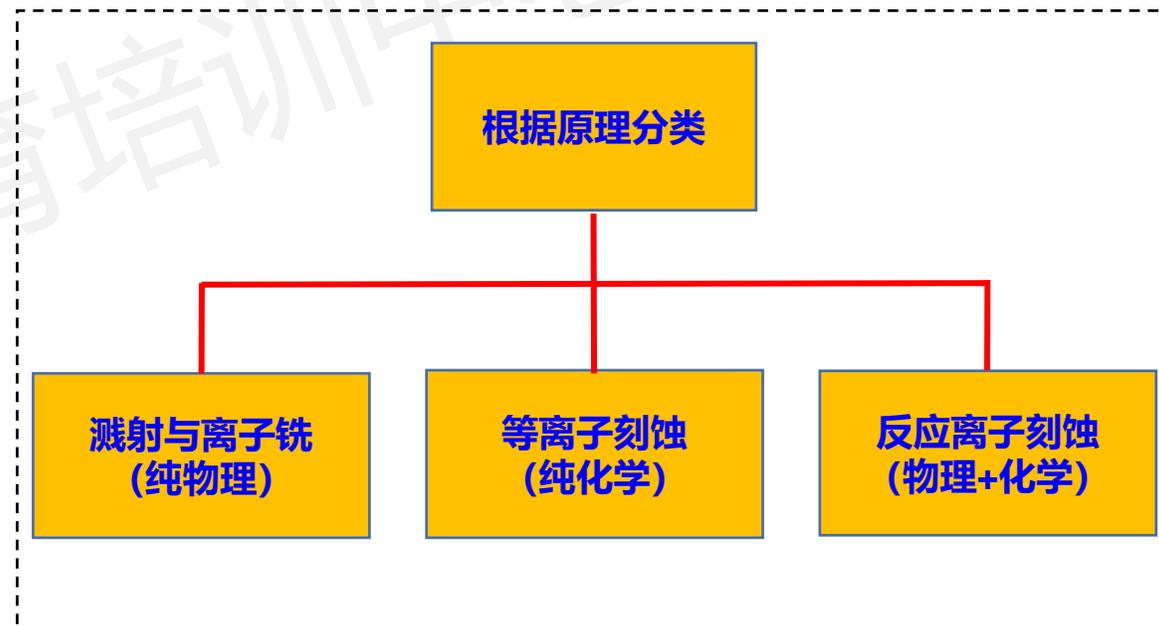
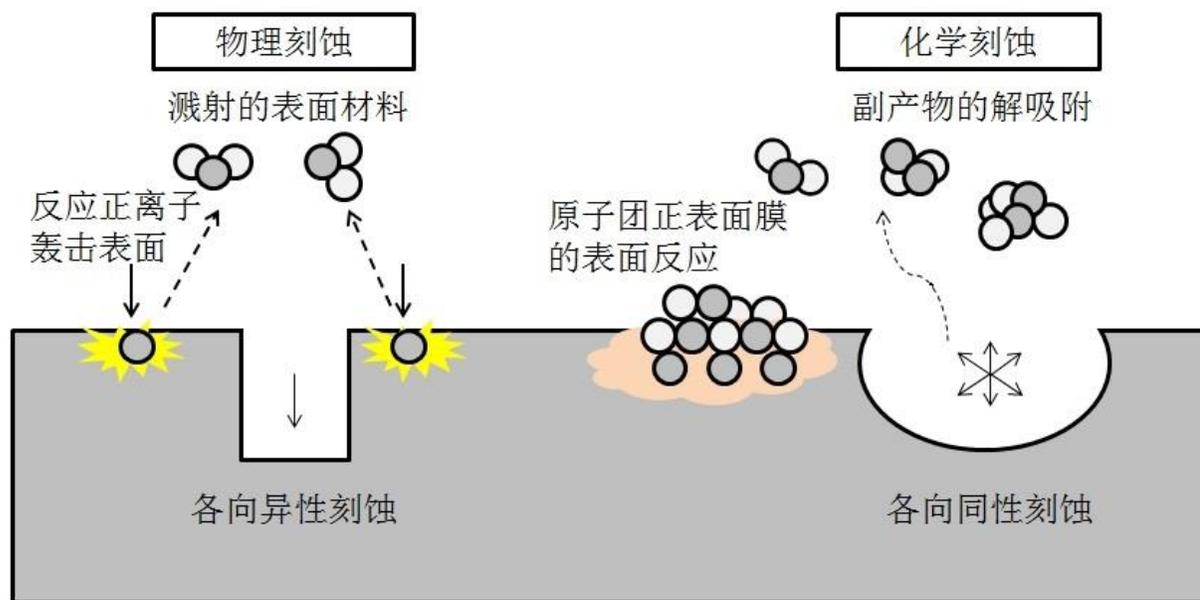
干法刻蚀原理



IMECAS

集成电路先进制造工艺技术 中级培训班

干法刻蚀作用是通过**化学作用**或者**物理作用**，或者是**化学和物理的共同作用**来实现的。

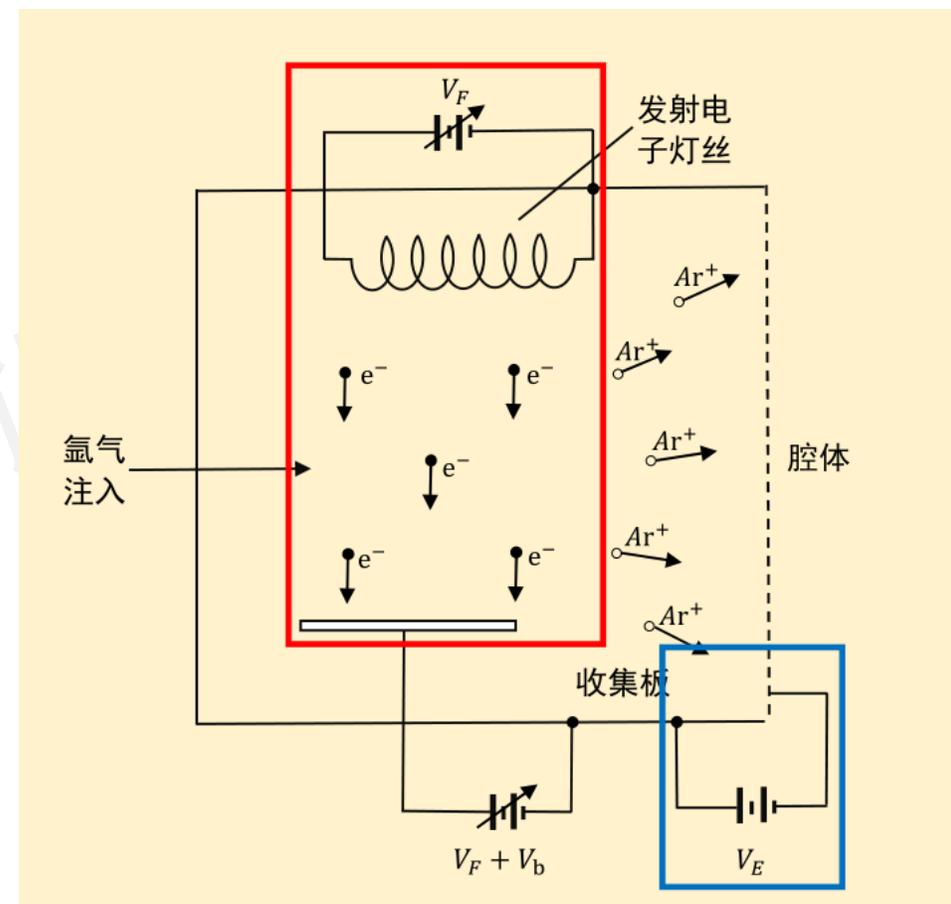


□ 溅射与离子铣刻蚀 (纯物理)

等离子体产生的带能粒子(正离子)在强电场下朝硅片表面加速,这些离子通过**溅射刻蚀**作用除去未被保护的硅片表面材料。一般是用惰性气体,如氩(Ar)。这种机械刻蚀的好处在于它有很**很强的方向性**,从而可以获得高的各向异性刻蚀剖面,以获得**很好的线宽控制**。这种溅射刻蚀速率不高,**选择比差**。另一个问题是被溅射作用去除的表面元素是非挥发性的,可能会重新淀积到硅片表面,带来**颗粒和化学污染**。

优点: 定向性和普适性

缺点: 图形质量不高, 表面损伤较大, 低刻蚀比和低生产能力



□ 等离子体刻蚀 (Plasma Etching) (化学)

等离子体产生的反应元素（活性自由基和反应原子）与硅片表面物质发生反应，为了获得**高的选择比**（即为了与光刻胶或下层材料的化学反应最小），进入腔体的气体（一般含氯或氟）都经过了慎重选择。等离子体化学刻蚀由于它是**各向同性的**，因为线宽控制差。

反应产生的挥发性物质可以被真空泵抽走。

□ 反应离子体刻蚀 (Reactive Ion Etching, RIE) (物理+化学)

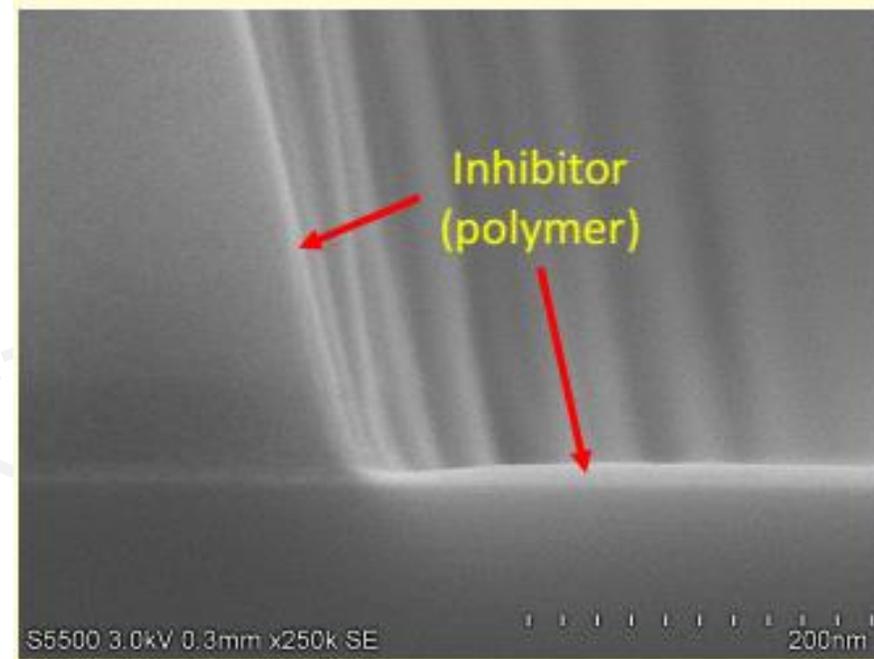
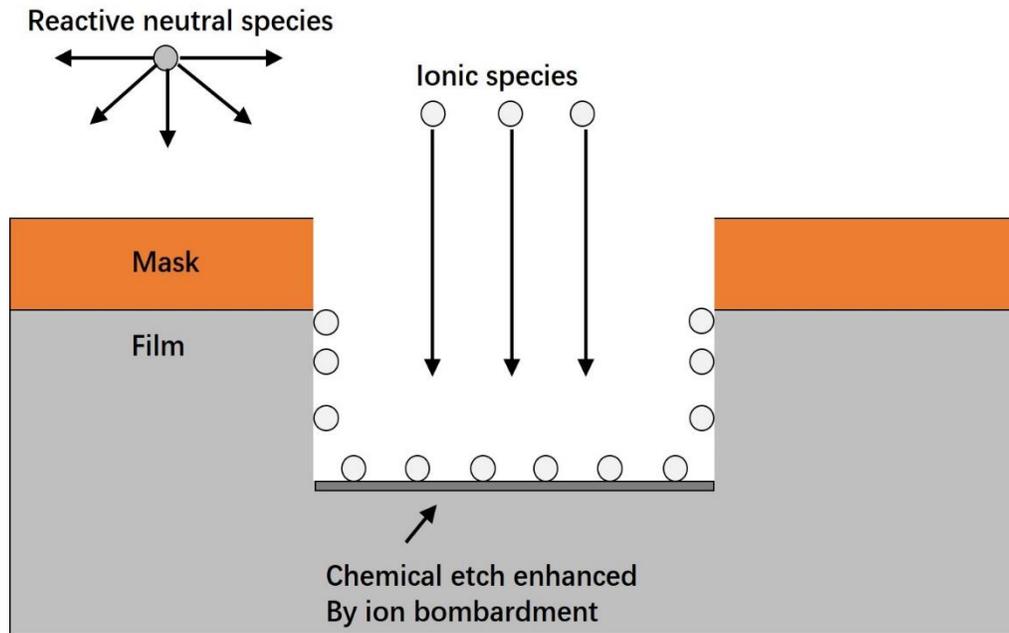
将物理方法和化学方法结合，产生的方法称为反应离子刻蚀 (RIE),通过高能离子对衬底的物理轰击和化学反应双重作用刻蚀，**同时兼具各向异性和选择性好的优点**。目前，RIE已经成为VLSI工艺中最广泛应用的主流刻蚀技术。

干法刻蚀类型



集成电路先进制造工艺技术 中级培训班

□ RIE可能同时存在很多机制，两种最重要的机制如下图：



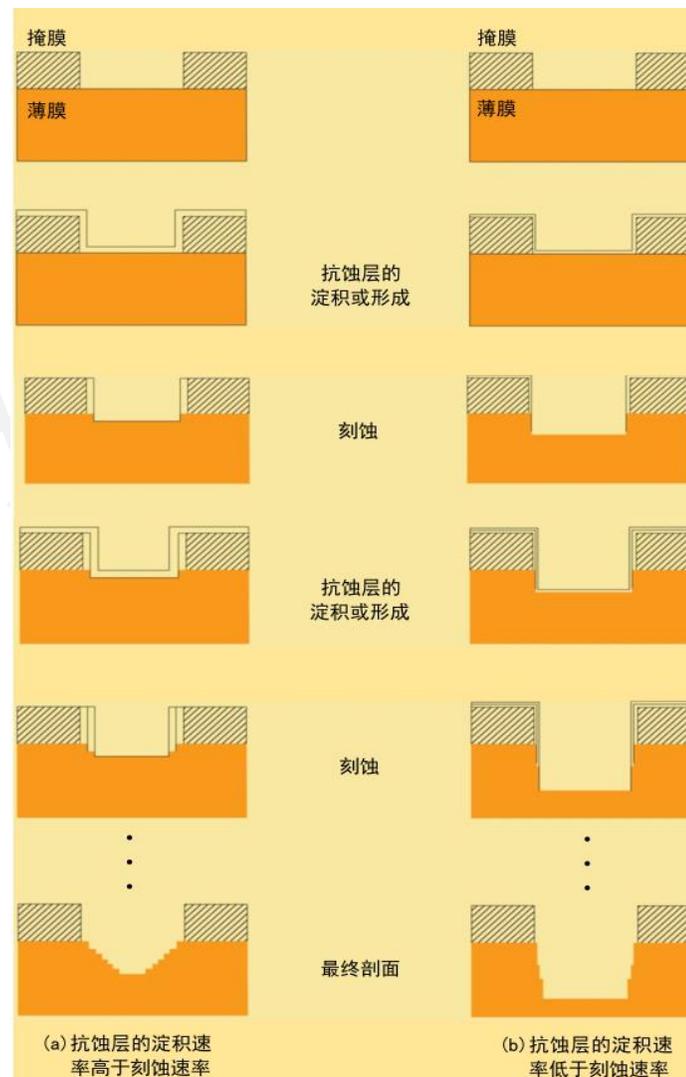
- 离子轰击提高了表面化学反应速率，增强刻蚀效果；
- 同时离子轰击能够除去反应过程中产生的副产物（例如由气体或光刻胶产生的聚合物），消除他们对刻蚀的抑制作用；
- 因此等离子体反应离子刻蚀机制具有很好的选择性。

□ RIE需要注意的问题

实际刻蚀过程中，侧壁因为没有离子轰击而逐渐积累氟碳化合物（有时也称polymer）。这种“**聚合作用**”在侧壁形成的保护膜阻止了横向刻蚀的发生。

实际刻蚀的形状与聚合物沉积和刻蚀速率的比有关，如右图所示。左列为聚合物沉积速率大于刻蚀速率所导致的结果，右列为聚合物沉积速率小于刻蚀速率所导致的结果。

调节聚合物沉积速率可控制刻蚀的侧壁形貌



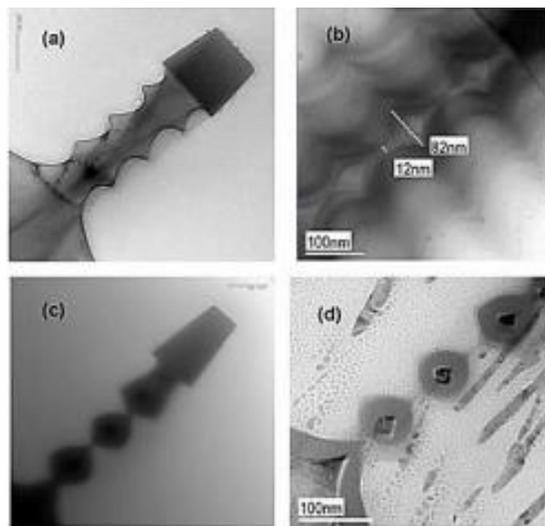
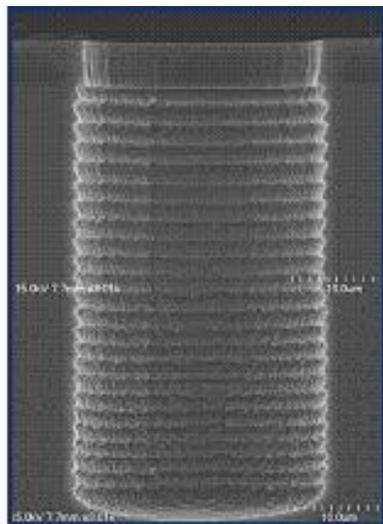
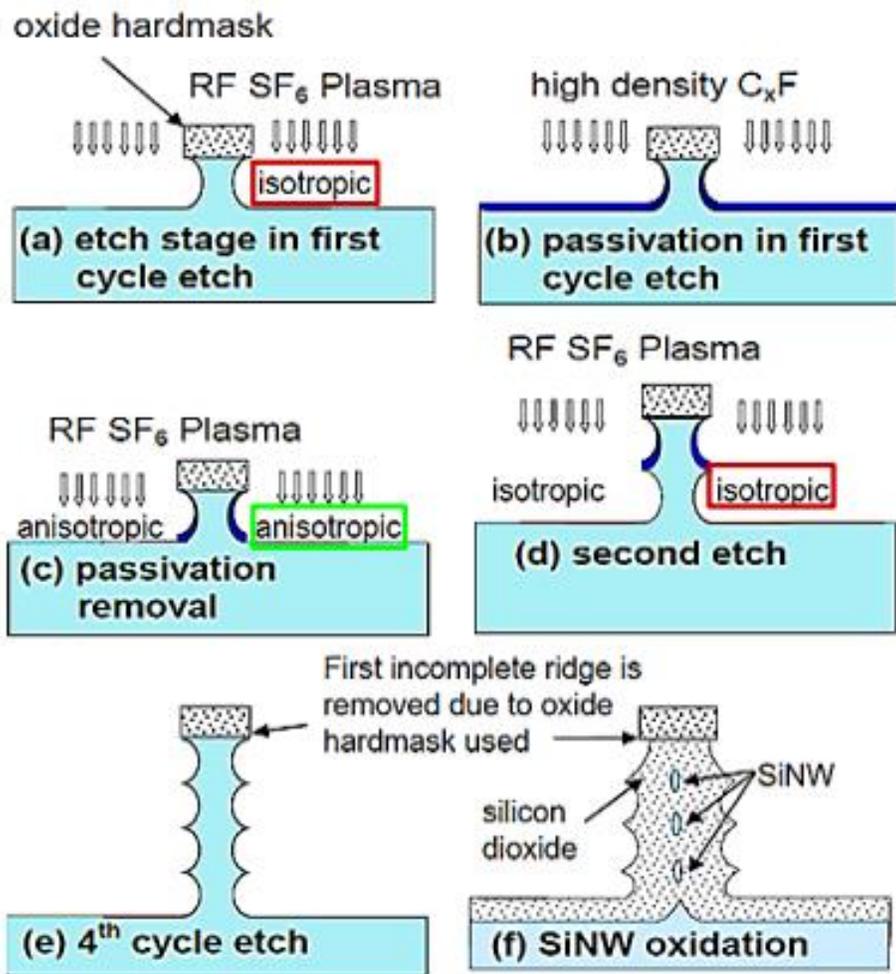
干法刻蚀类型



IMECAS

集成电路先进制造工艺技术 中级培训班

充分利用“聚合作用”：Bosch Process



干法刻蚀类型小结



集成电路先进制造工艺技术 中级培训班

刻蚀方式	溅射刻蚀	等离子体刻蚀	反应等离子体刻蚀
刻蚀机理	物理离子溅射	活性自由基化学反应	离子溅射和自由基化学反应
侧壁剖面	各向异性	各向同性	各向异性
选择比	低 / 难提高 (1:1)	很高 (500:1)	高 (2:1~100:1)
刻蚀速率	慢	快	适中
线宽控制	好	差	很好

目 录



集成电路先进制造工艺技术 中级培训班

- 一、等离子体基本原理与干法刻蚀工艺介绍
- 二、刻蚀工艺特性表征参数与量测手段**
- 三、刻蚀工艺高级控制技术介绍
- 四、国内外主要设备与厂商介绍
- 五、先进制造技术中的刻蚀工艺应用
- 六、小结

工艺参数



IMECAS

集成电路先进制造工艺技术 中级培训班

工艺参数

刻蚀速率

选择比

刻蚀偏差

刻蚀剖面

均匀性

颗粒控制

残留物

聚合物

等离子损伤

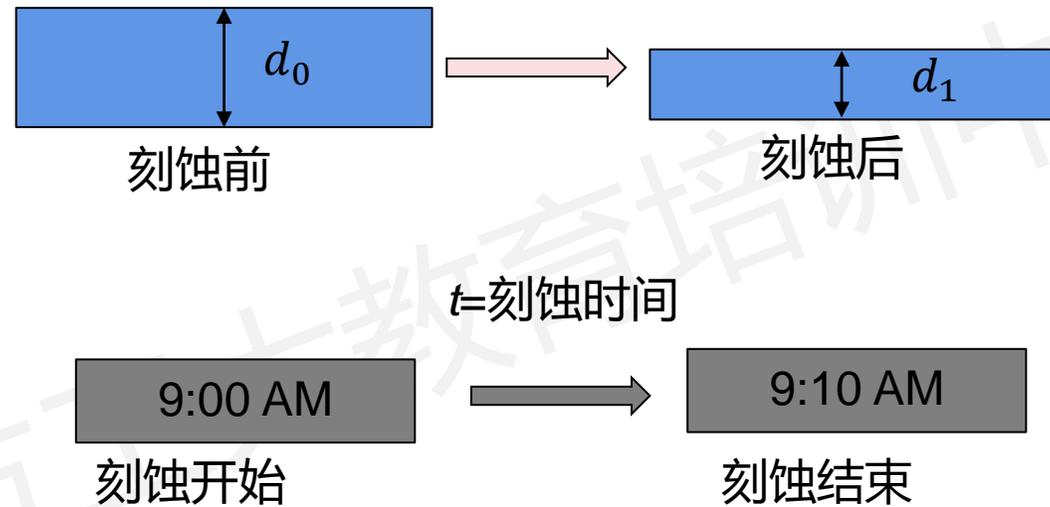
工艺参数-刻蚀速率



集成电路先进制造工艺技术 中级培训班

□ 刻蚀速率:

单位时间刻蚀的厚度



$$ER = (d_0 - d_1) / t$$

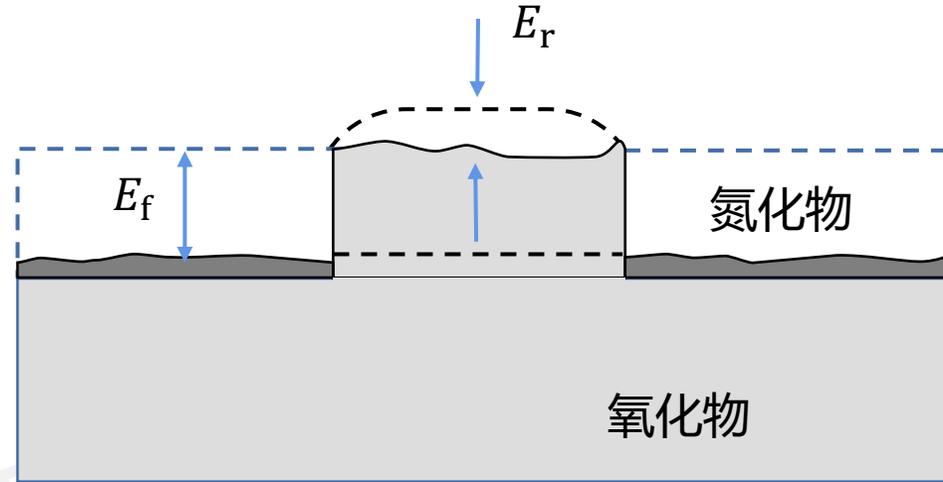
单位: $\mu\text{m}/\text{min}$ (or nm/min)

□ 选择比:

不同材料刻蚀速率的比率

选择比

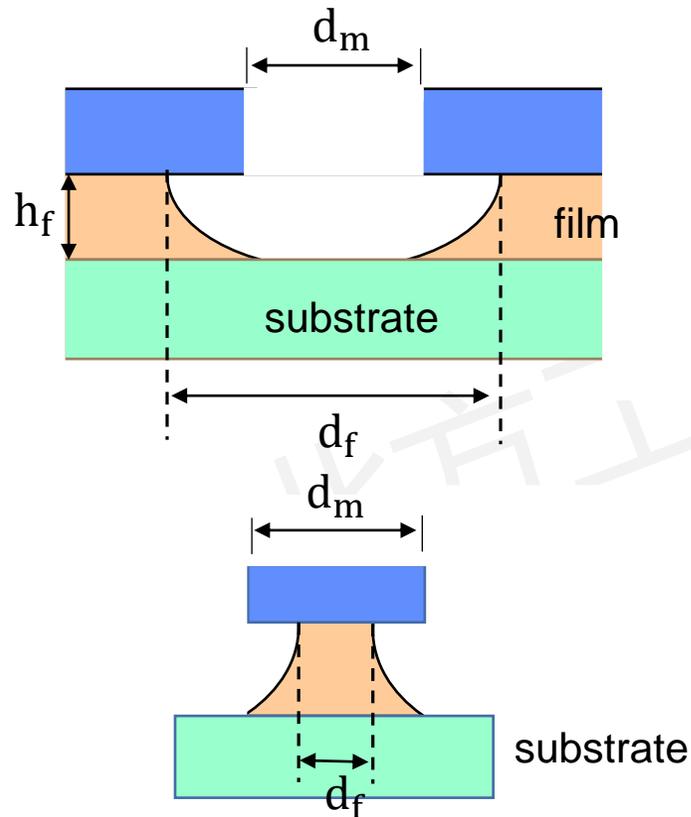
$$S = \frac{E_f}{E_r}$$



- **高选择比**意味着只刻蚀想要刻去的那一层材料;
- 一个高选择比的工艺可以不刻蚀或者刻蚀很少下面一层材料（刻蚀到恰当的深度的时候停止）并且保护的光刻胶也未被刻蚀;
- 图形几何尺寸的微缩要求减薄光刻胶厚度，关键尺寸越小，选择比要求越高。

□ 刻蚀偏差:

刻蚀偏差是指刻蚀以后线宽或关键尺寸间距的变化，通常是由于横向钻刻引起的。

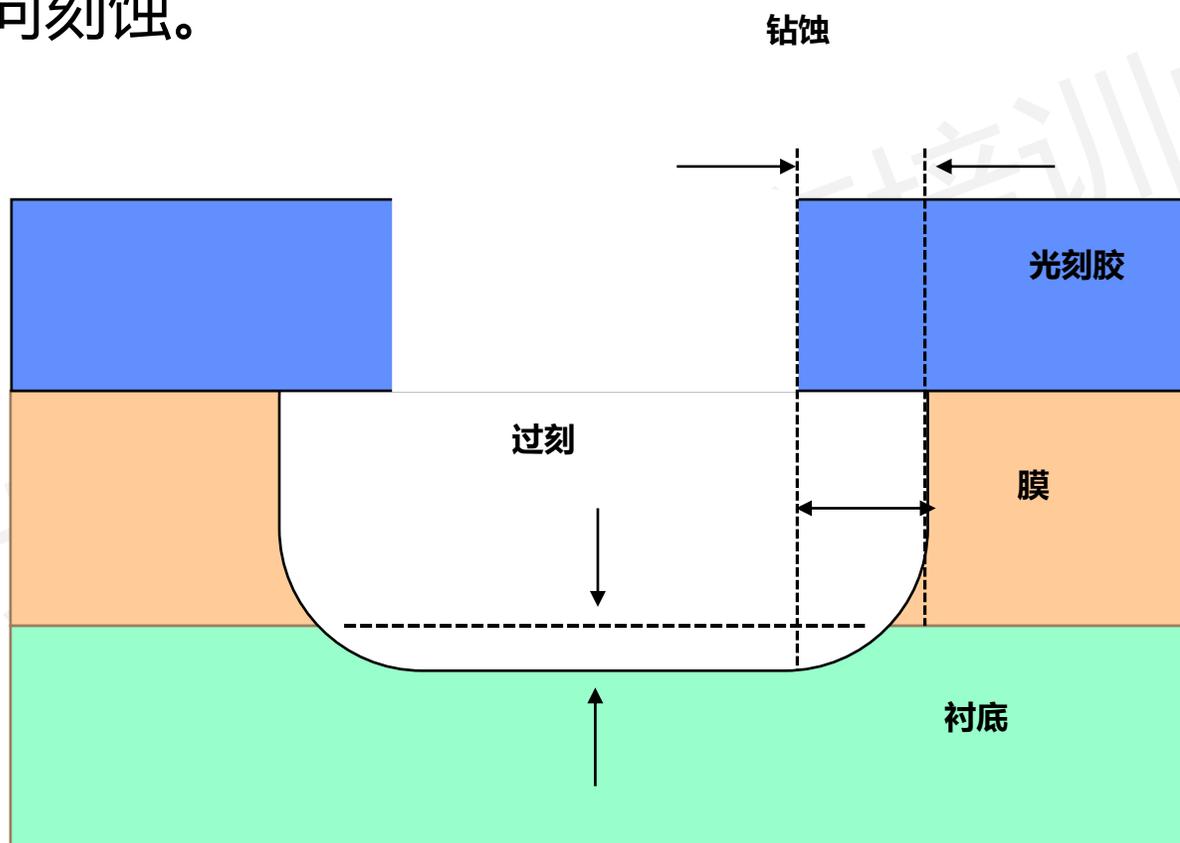


刻蚀偏差: $B = d_f - d_m$

B可能大于0或小于0

□ 钻刻与过刻:

钻刻是指光刻胶掩模版之下的过量横向刻蚀；
过刻是指过量纵向刻蚀。



工艺参数-刻蚀剖面



集成电路先进制造工艺技术 中级培训班

□ 各向异性特性可以用各向异性度A来表示:

$$A = 1 - \frac{R_L}{R_V}, \quad 0 \leq A \leq 1$$

其中, R_L 和 R_V 分别代表横向和纵向刻蚀速率。

湿法刻蚀和干法刻蚀的侧壁轮廓

蚀刻形式	侧壁轮廓	图例
湿法蚀刻	各向同性	
干法蚀刻	各向同性 (依设备及参数而定)	
	各向异性 (依设备及参数而定)	
	各向异性——斜坡性	
	硅沟槽	

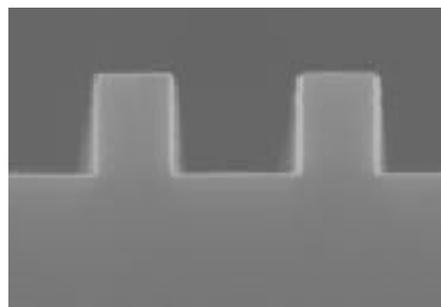
图片来源于教材

工艺参数-刻蚀剖面

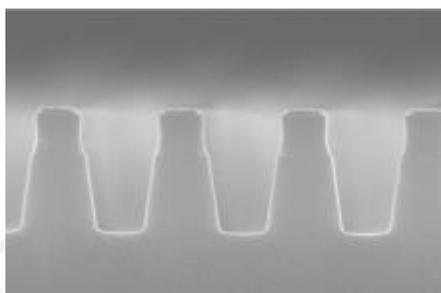


集成电路先进制造工艺技术 中级培训班

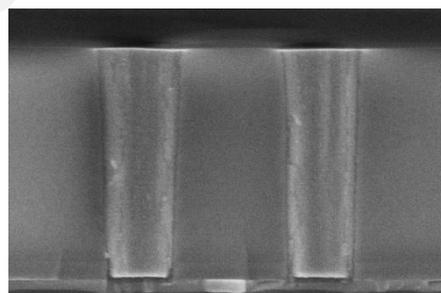
Poly-Si →



STI →



Oxide →



- 气压
- 射频功率
- 偏压功率
- 刻蚀气体
- 温度

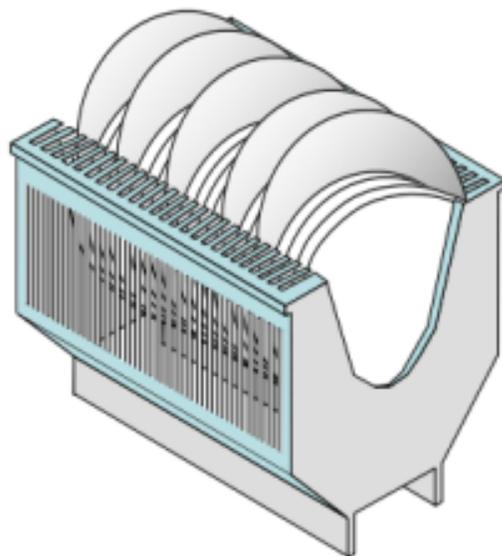
□ 刻蚀速率均匀性

用刻蚀速率的百分比来度量，可以指一个晶圆片之内（片内，within wafer, w/w）或者晶圆片与晶圆片之间（片间，wafer to wafer, wtw)的均匀性。

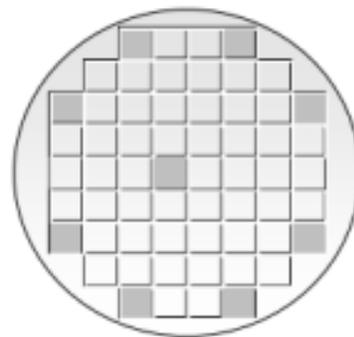
$$Uniformity = \frac{Range}{2 \times mean} \times 100\%$$

例如

在一批晶圆中，随机选取3到5片晶圆



测量每一晶圆上5到9个位置的刻蚀速率，继之对每一晶圆计算刻蚀均匀性并相互比较之



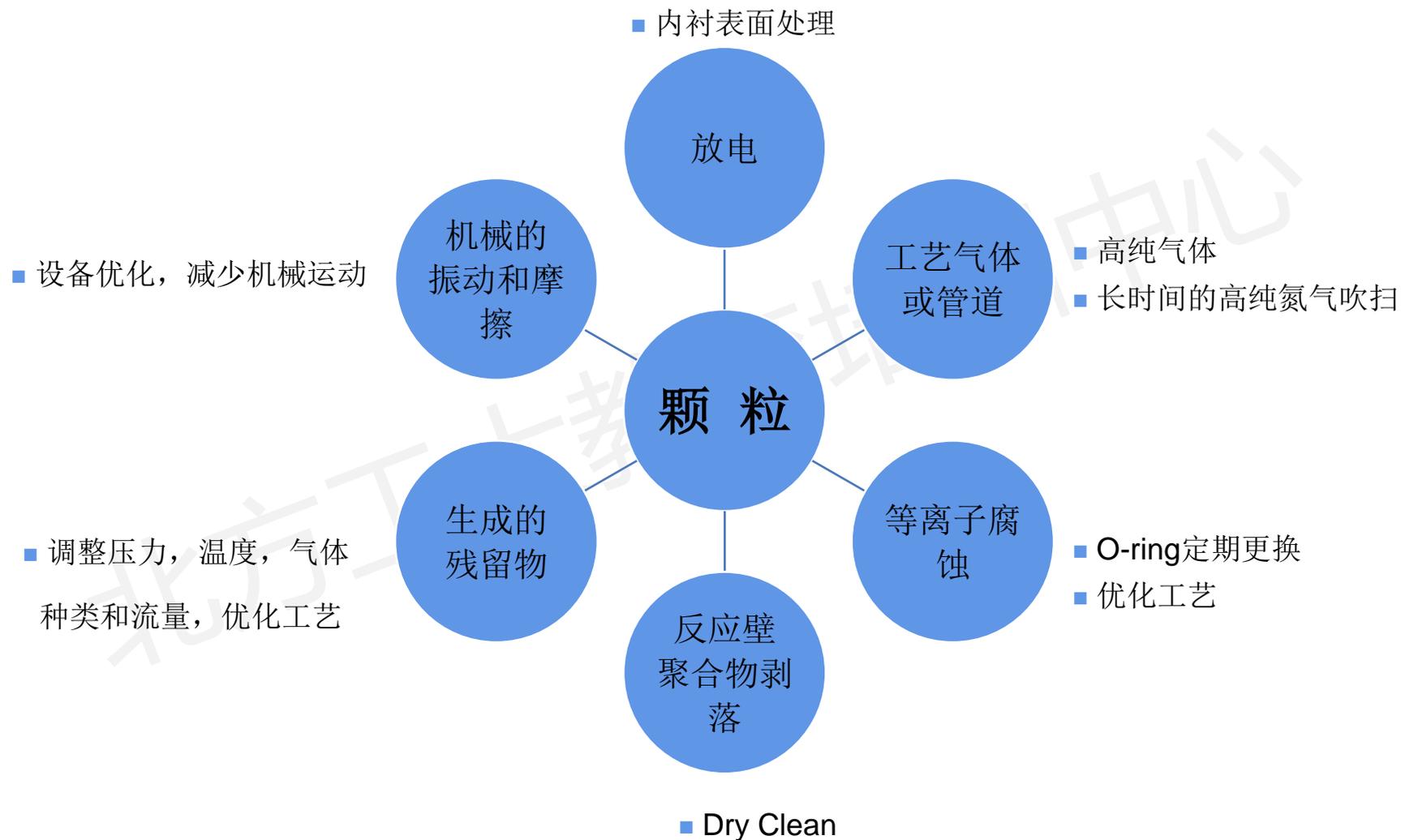
刻蚀均匀性是保证制造性能一致的关键!

图片来源于教材

工艺参数-颗粒控制



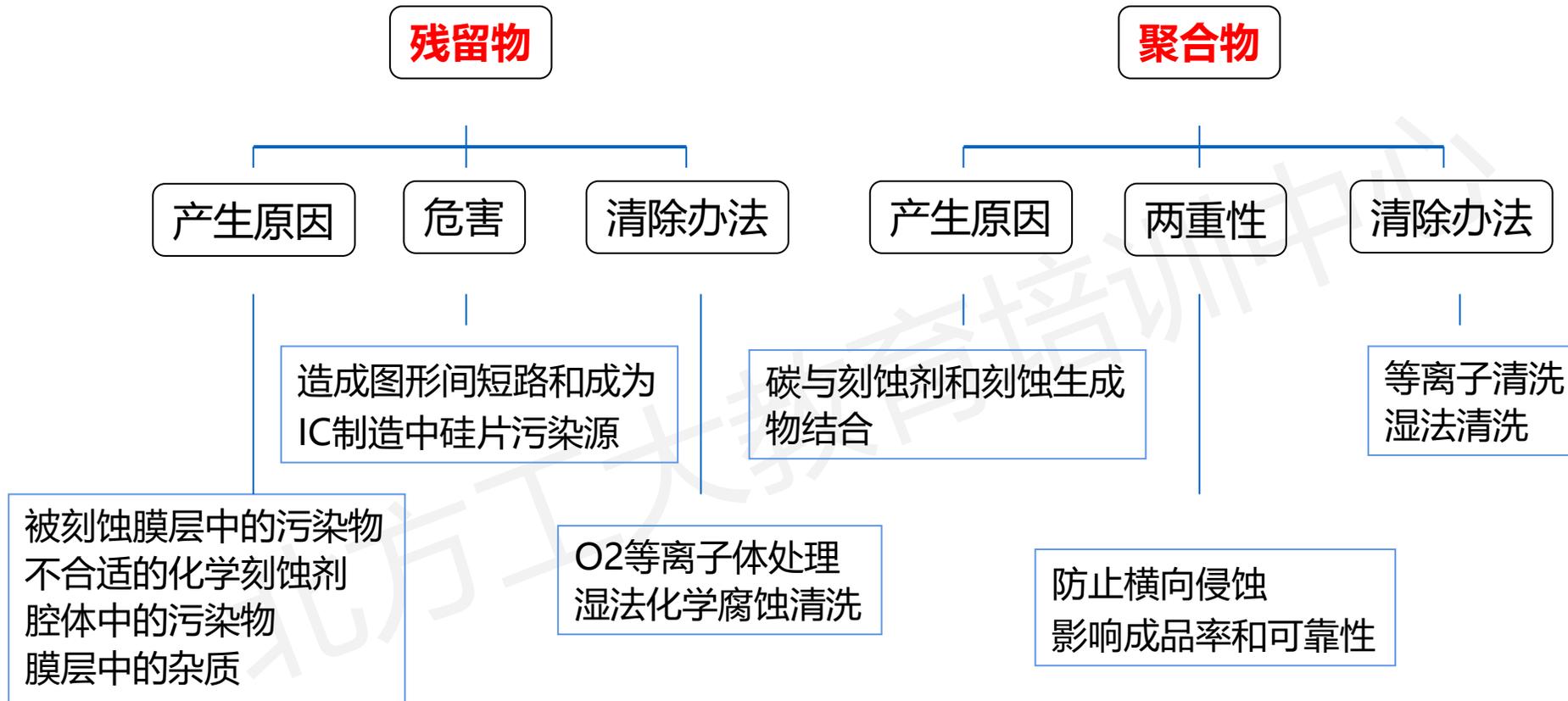
IMECAS
集成电路先进制造工艺技术 中级培训班



工艺参数-残留物和聚合物



集成电路先进制造工艺技术 中级培训班



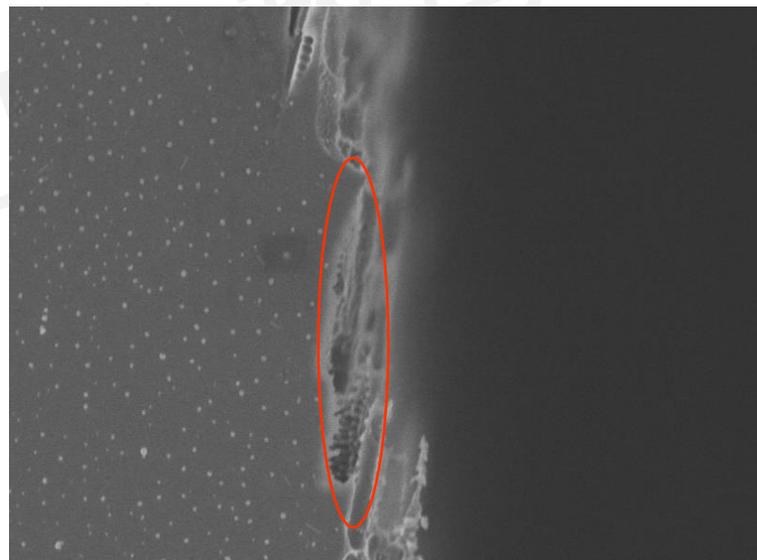
工艺参数-等离子体损伤



集成电路先进制造工艺技术 中级培训班



器件的电学性能和可靠性、稳定性

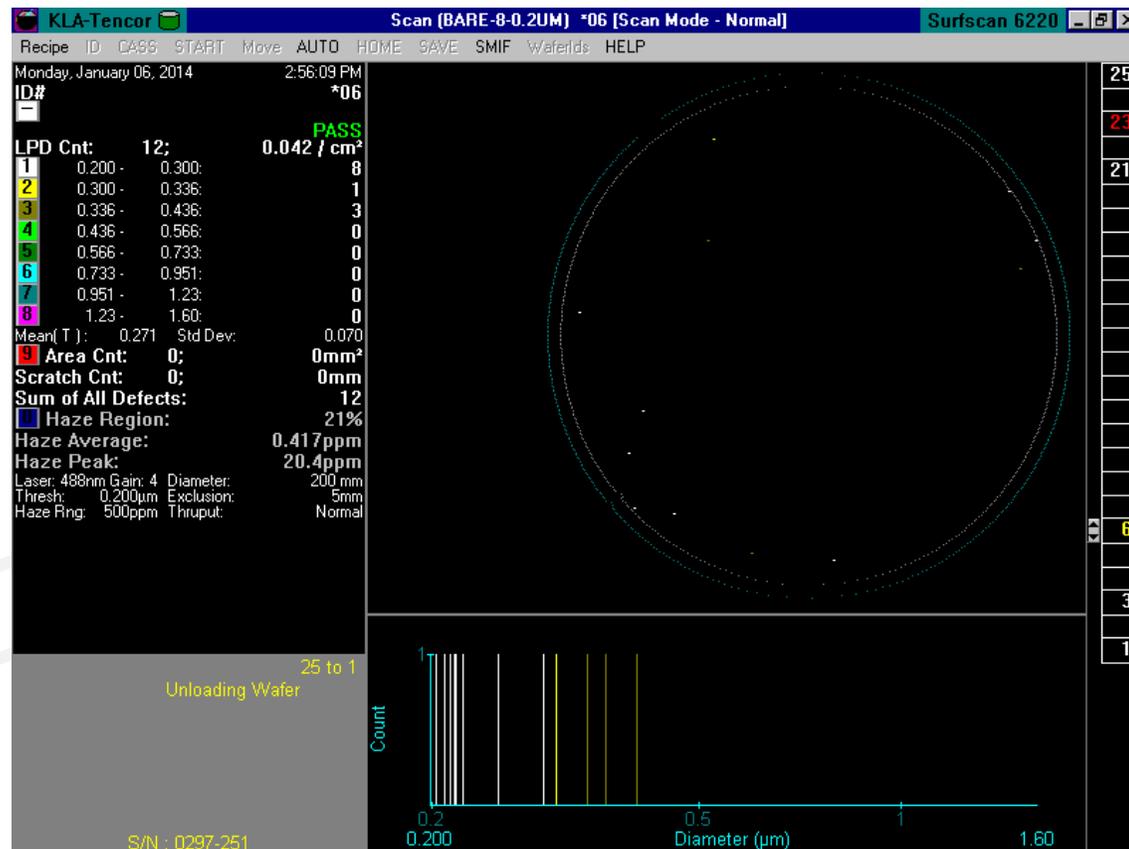


表征设备



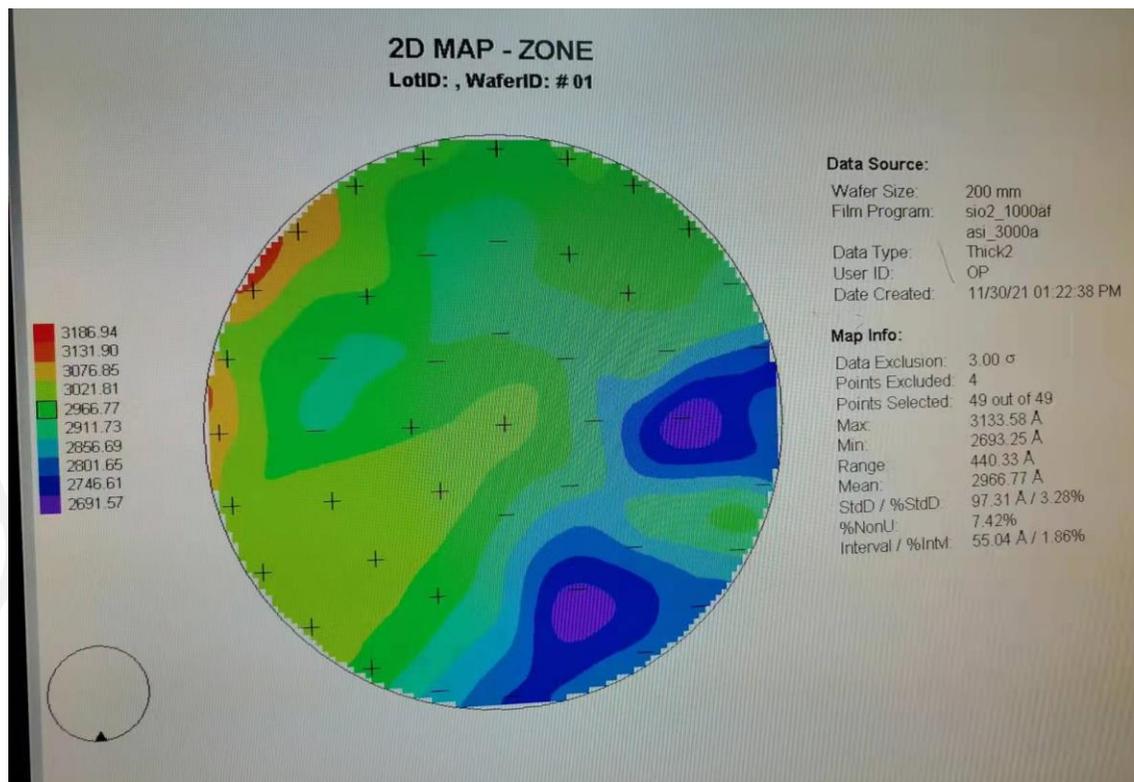
集成电路先进制造工艺技术 中级培训班

颗粒检测仪



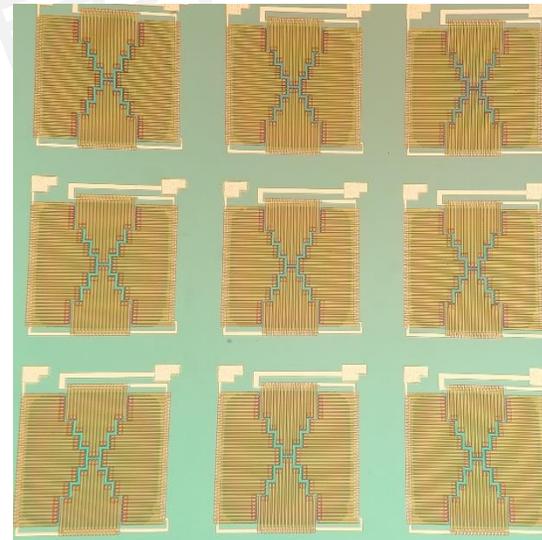
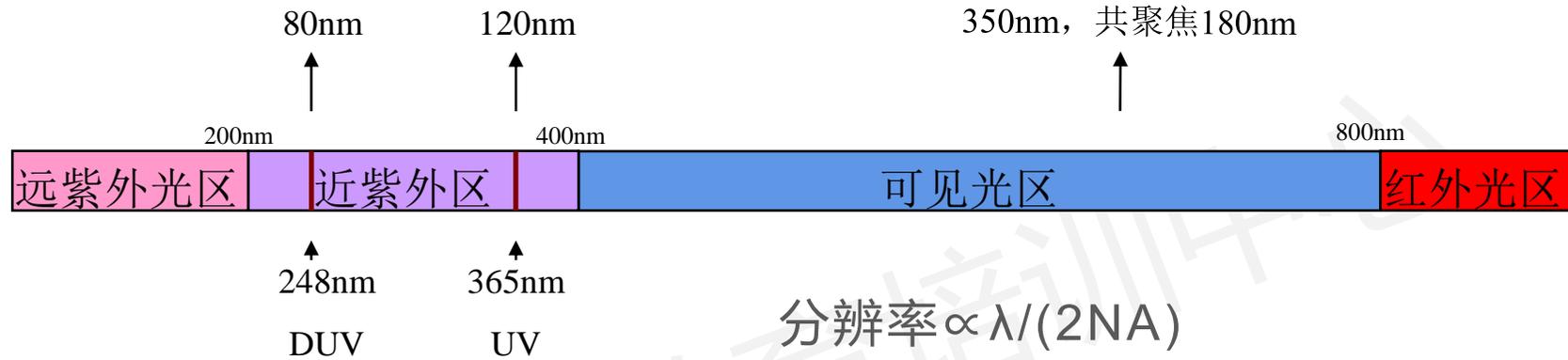
测试刻蚀腔体,晶圆颗粒

膜厚测量仪



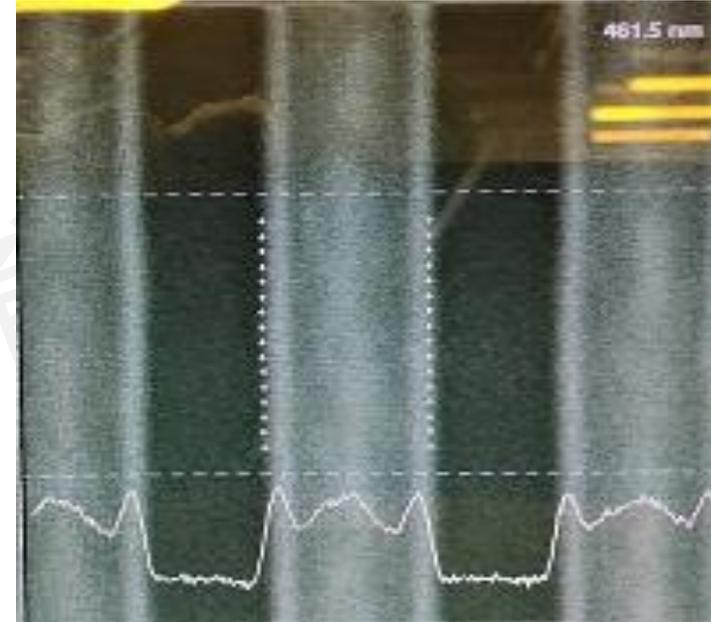
测试 wafer刻蚀速率, 均匀性

□ 光学显微镜



观测 wafer图形

□ CD-SEM



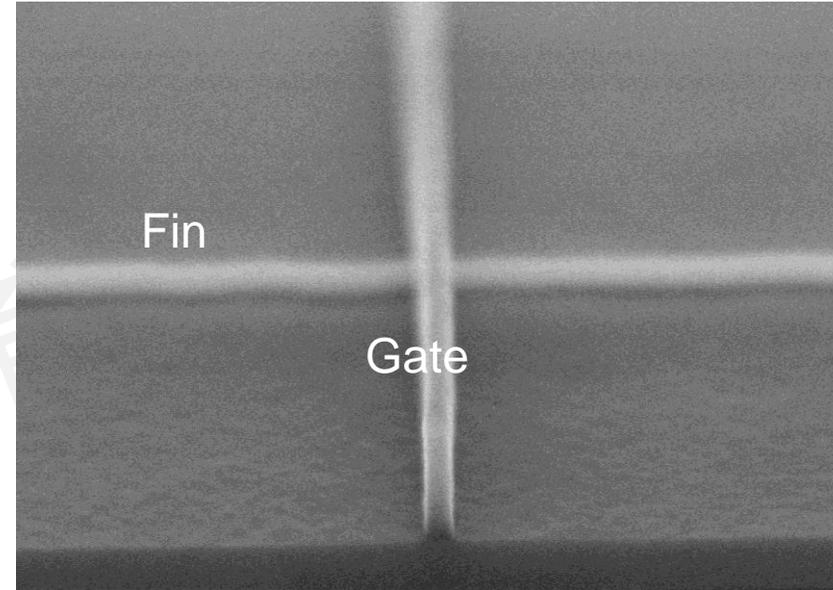
测试 wafer图形CD ADI/EDI

表征设备



集成电路先进制造工艺技术 中级培训班

□ SEM



测试 wafer图形Side View

图片来源于微电子所

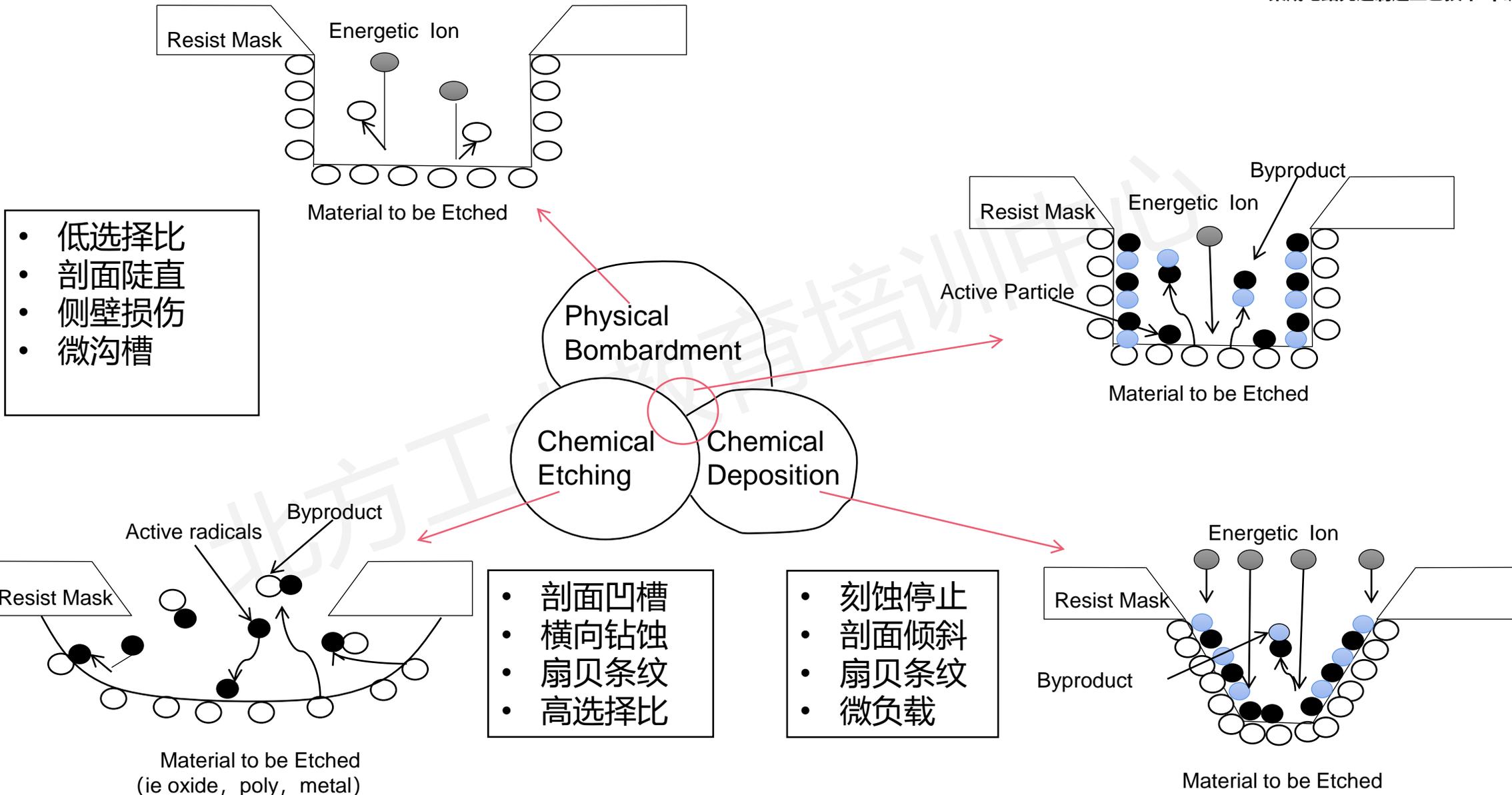
目 录



集成电路先进制造工艺技术 中级培训班

- 一、等离子体基本原理与干法刻蚀工艺介绍
- 二、刻蚀工艺特性表征参数与量测手段
- 三、刻蚀工艺高级控制技术介绍**
- 四、国内外主要设备与厂商介绍
- 五、先进制造技术中的刻蚀工艺应用
- 六、小结

干法刻蚀机制对应的现象

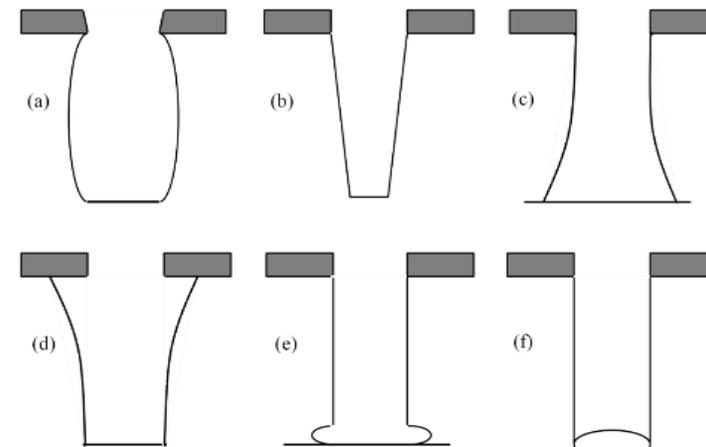
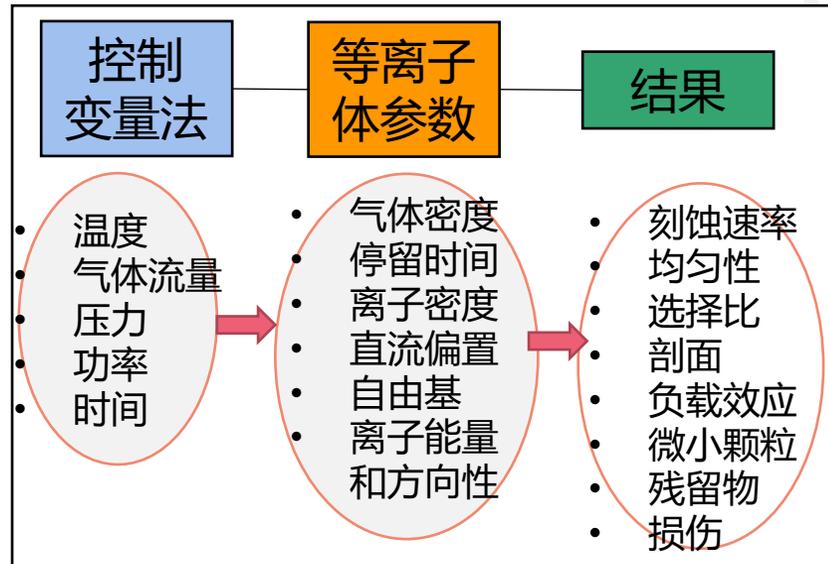
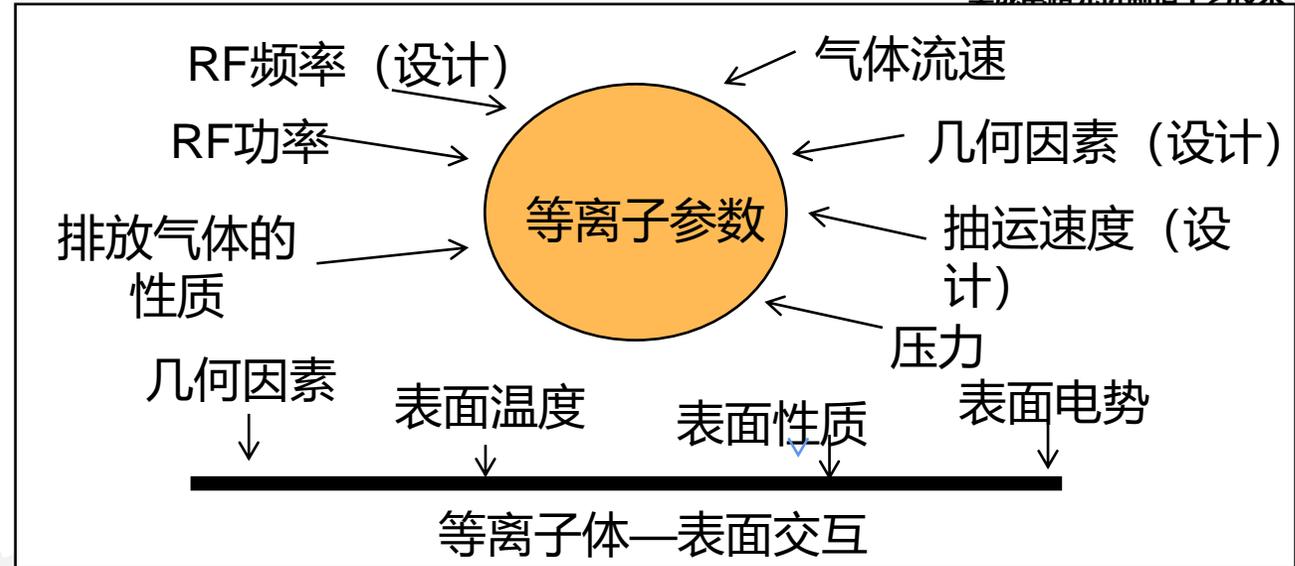


干法刻蚀-宏观和微观因素



选择合适的刻蚀气体时必须考虑以下因素：

- 要刻蚀的材料
- 能发生哪种反应并产生挥发性物质？
- 对衬底和光刻胶的选择比是多少？
- 成膜物是什么（比如，聚合物）？
- 离子的质量和电荷是多少？



常见的刻蚀材料与气体



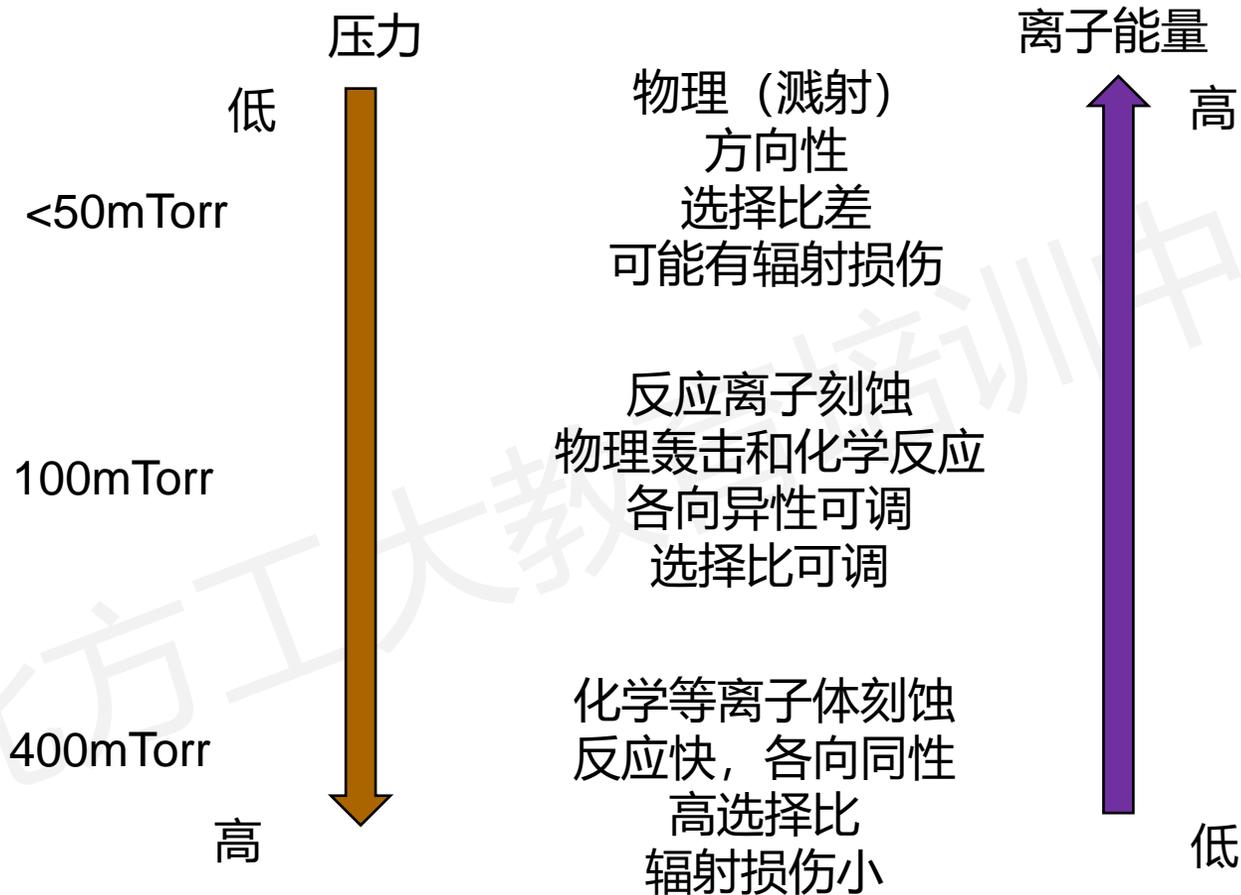
集成电路先进制造工艺技术 中级培训班

材料	刻蚀剂	注释
Polysilicon	SF_6, CF_4	各向同性或接近各向同性 (钻刻明显) ; 对 SiO_2 选择比差或没有选择比
	$CF_4/H_2, CHF_3$	各向异性较好, 对 SiO_2 无选择性
	CF_4/O_2	各向同性,对 SiO_2 选择性很好
	$HBr, Cl_2, Cl_2/HBr/O_2$	各向异性较好, 对 SiO_2 选择性最好
Single-crystal Si	同Polysilicon一样	
SiO_2 PSG BPSG	$SF_6, NF_3, CF_4/O_2, CF_4$	接近各向同性 (钻刻明显) ; 用较高能量离子和较低的压力可以改善各向异性; 对 S 选择比差或没有选择比
	$CF_4/H_2, CHF_3/O_2, C_2F_6, C_3F_8$	各向异性较好, 对 S 有选择性
	$CHF_3/C_4F_8/CO$	各向异性, 对 Si_3N_4 有选择性
Si_3N_4	CF_4/O_2	各向同性, 对 SiO_2 有选择性但对 Si 没有
	CF_4/H_2	各向异性较好, 对 S 有选择性但对 SiO_2 没有
	$CHF_3/O_2, CH_2F_2$	各向异性较好, 对 S 和 SiO_2 都有选择性
Al	Cl_2	接近各向同性 (钻刻明显)
	$Cl_2/CHCl_3, Cl_2/N_2$	各向异性较好; 用 BCl_3 需要排出多余的氧气
Tungsten (W)	CF_4, SF_6	刻蚀速率高, 对 SiO_2 无选择性
	Cl_2	对 SiO_2 有选择性
Ti	$Cl_2, Cl_2/CHCl_3, CF_4$	
TiN	$Cl_2, Cl_2/CHCl_3, CF_4$	
$TiSi_2$	$Cl_2, Cl_2/CHCl_3, CF_4/O_2$	
Photoresist	O_2	对其他薄膜选择性很好

工艺压力的影响

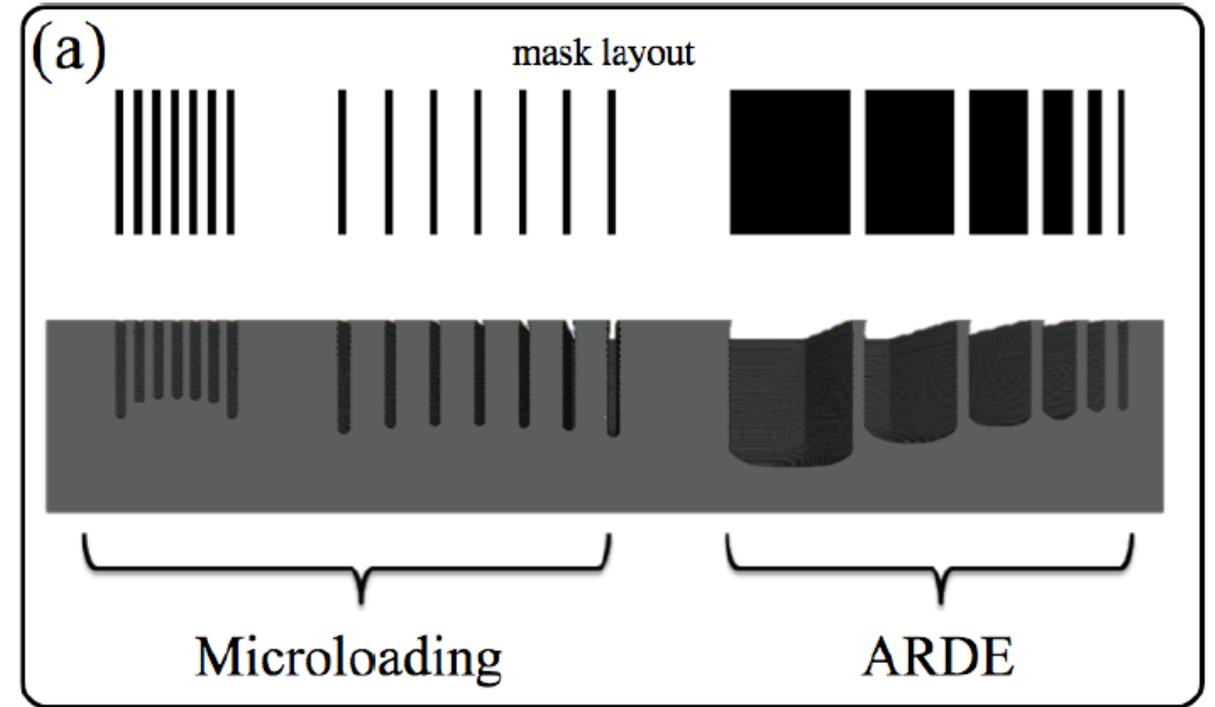


集成电路先进制造工艺技术 中级培训班



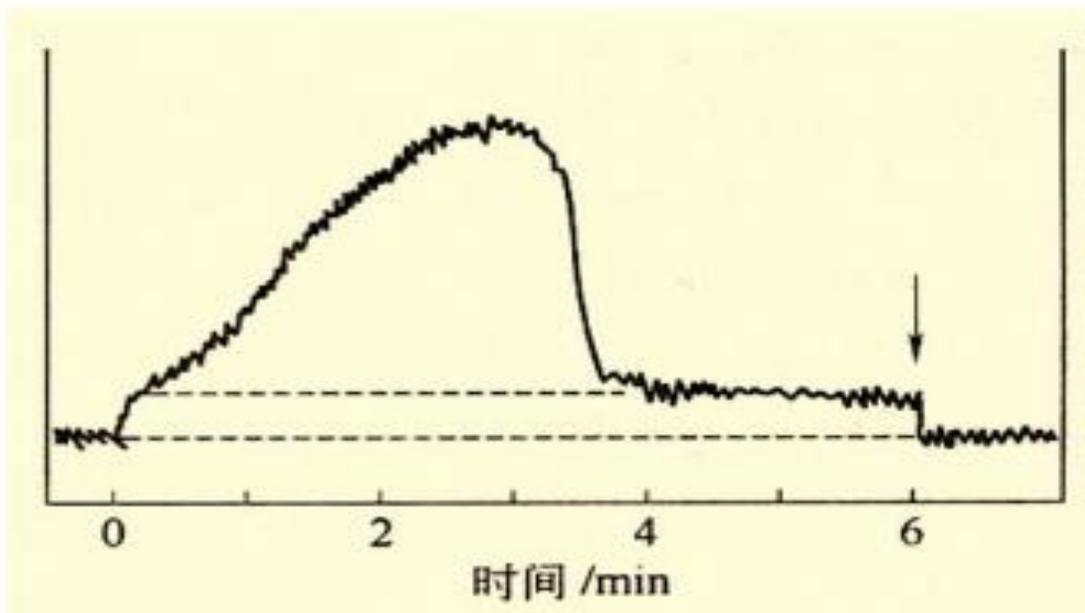
□ Microloading and ARDE效应

- Microloading主要是图形的密度不同造成的，图形越密，刻蚀速率越慢。
- ARDE (Aspect ratio dependent etching) 是由于图形的尺寸不同造成的，尺寸越小，刻蚀速率越慢。



□ 光学放射频谱分析法

光学放射频谱分析是利用检测等离子体中某种波长的光线强度变化来达到终点检测的目的。光强的变化反映了等离子体中原子或分子浓度的变化，根据检测的不同物质会有刻蚀终点光强增加与减弱两种状态。对于不同的刻蚀薄膜与刻蚀剂，有对应的需要检测的波长。



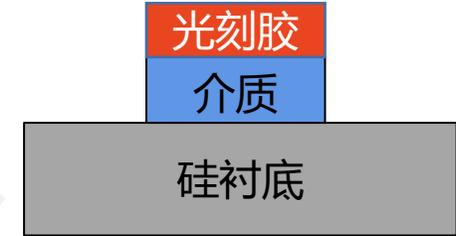
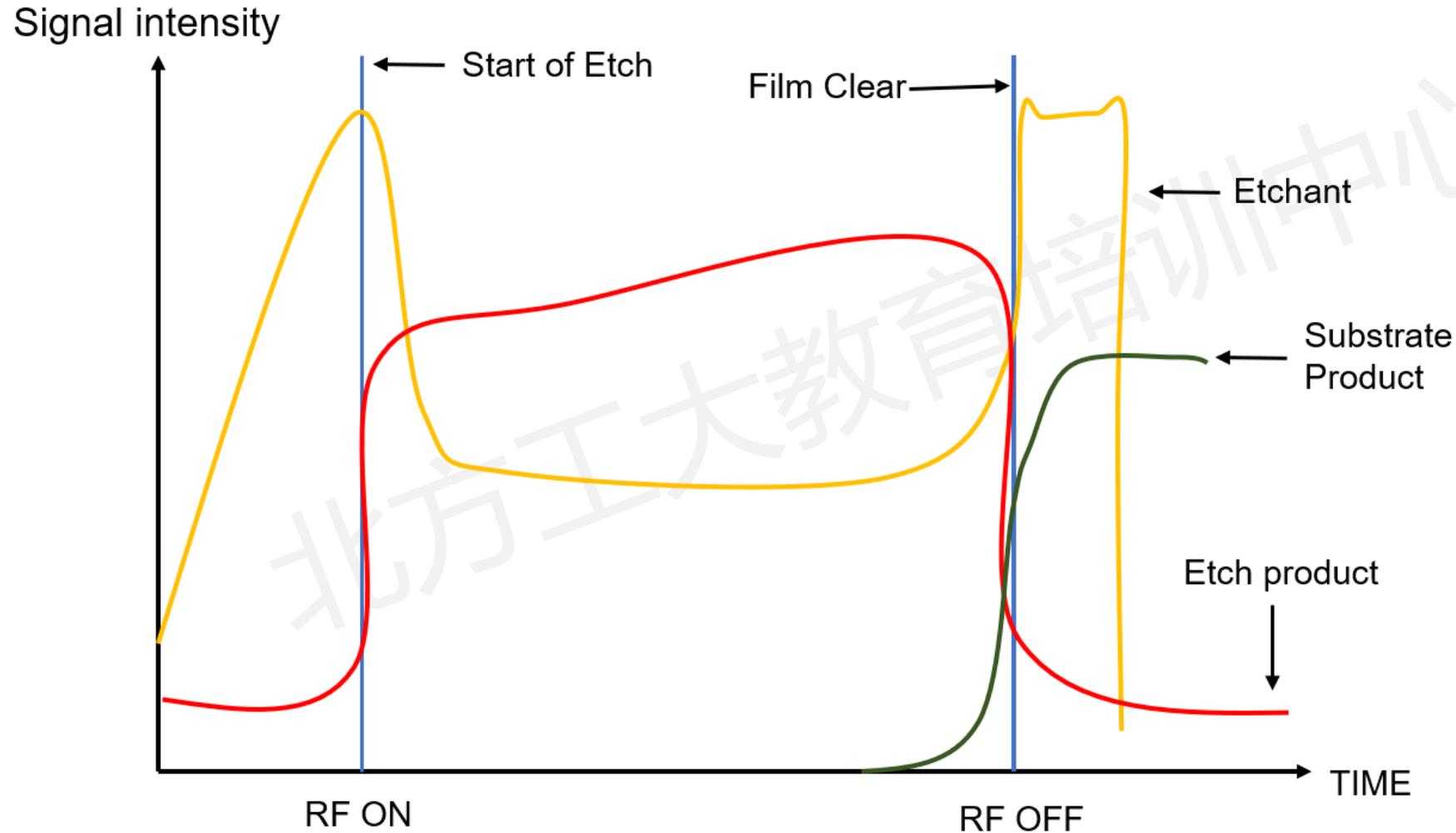
- 不影响刻蚀的进行，且可以对微小变化作出反应。
- 光强正比于刻蚀速率，因此对刻蚀速率较慢的反应难以检测。
- 刻蚀面积过小时，信号强度不足也会导致检测困难，如SiO₂接触孔刻蚀。

终点检测



集成电路先进制造工艺技术 中级培训班

Endpoint Graph



图片来源于教材

终点检测



IMECAS

集成电路先进制造工艺技术 中级培训班

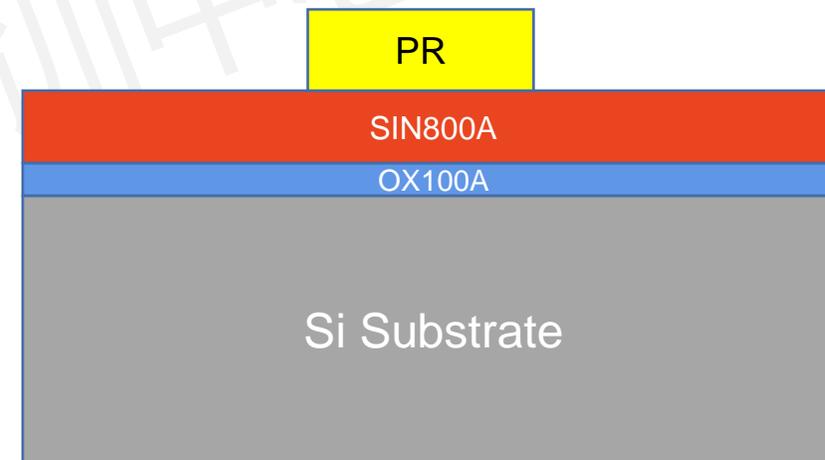
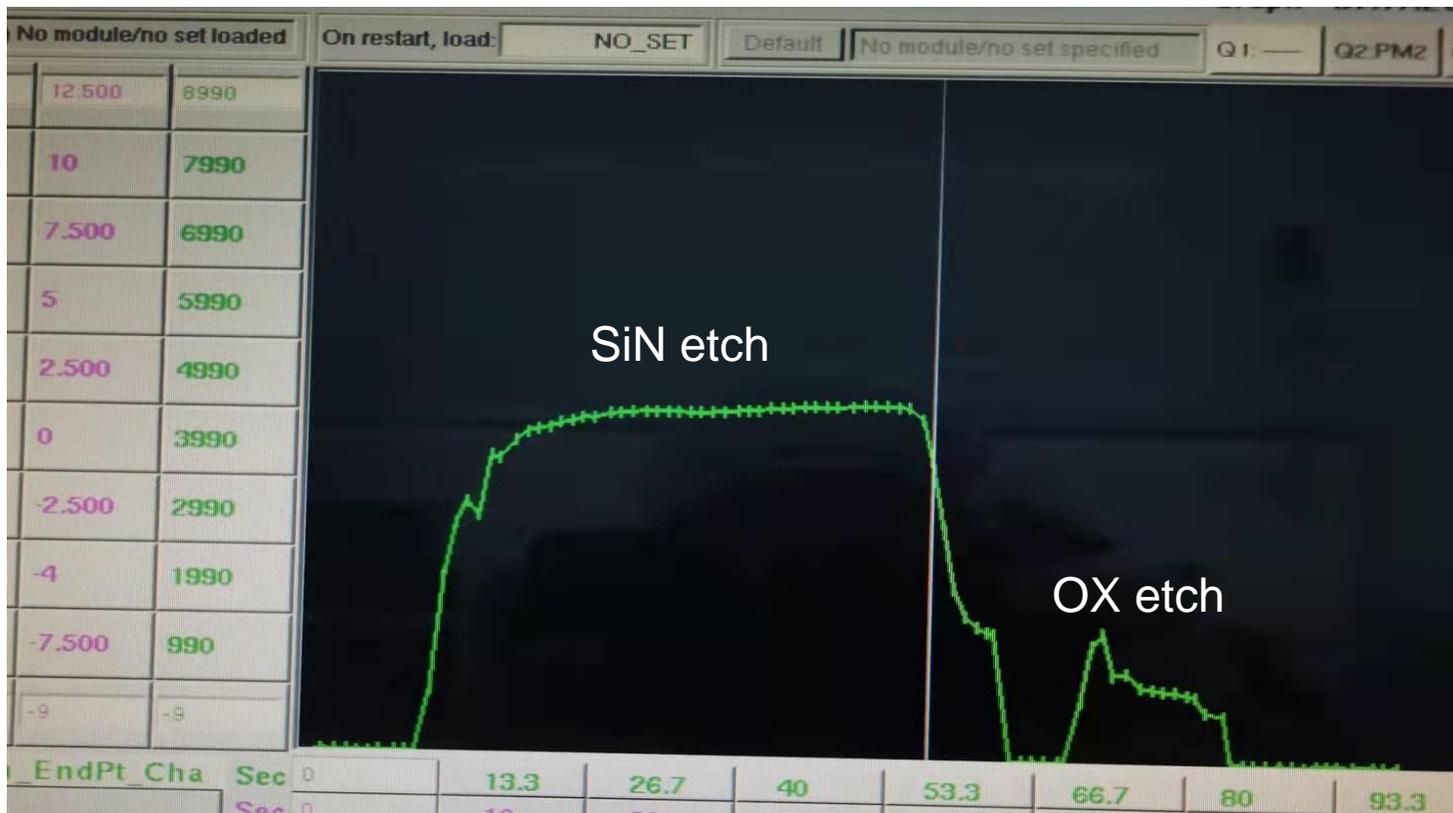
膜层	刻蚀气体	波长 (Å)	接收信号
Al	Cl ₂	2614	AlCl
Resisit	O ₂	2977	CO
		3089	OH
		6563	H
		6156	O
Si	CF ₄ /O ₂	7037	F
		7770	SiF
	Cl ₂	2882	Si
Si ₃ N ₄	CF ₄ /O ₂	3370	N ₂
		7037	F
		6740	N
SiO ₂	CHF ₃	1840	CO
W	CF ₄ /O ₂	7037	F

终点检测



集成电路先进制造工艺技术 中级培训班

□ 刻蚀膜层与终点检测谱线案例



图片来源于微电子所

目 录



集成电路先进制造工艺技术 中级培训班

- 一、 等离子体基本原理与干法刻蚀工艺介绍
- 二、 刻蚀工艺特性表征参数与量测手段
- 三、 刻蚀工艺高级控制技术介绍
- 四、 国内外主要设备与厂商介绍**
- 五、 先进制造技术中的刻蚀工艺应用
- 六、 小结

不同技术节点刻蚀制程

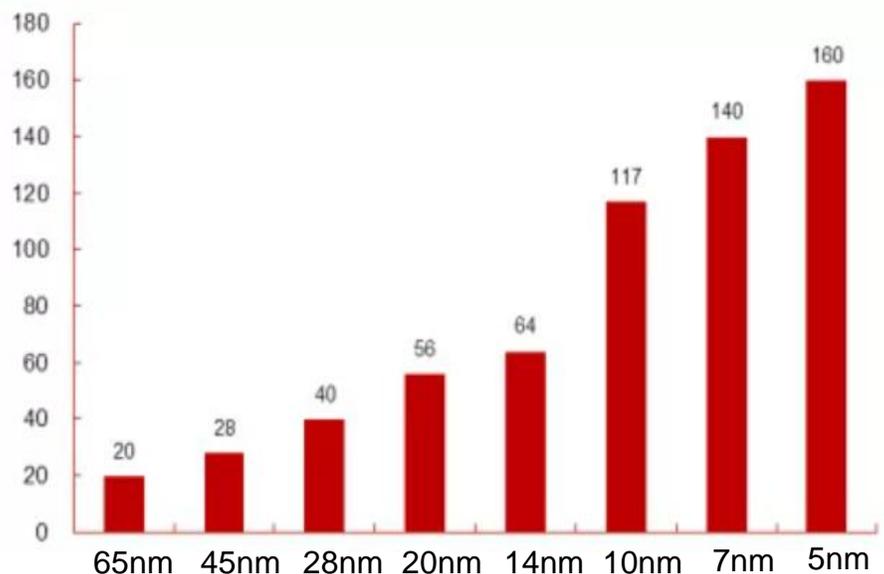


IMECAS

集成电路先进制造工艺技术 中级培训班

主流晶圆代工厂商的量产制程发展历程

	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
台积电	65nm	40nm		28nm		20nm		16nm		10nm		7nm		5nm	
格罗方德	90nm	65nm		45nm		28nm		20nm		14nm					
中芯国际	90nm		65nm		40nm			28nm		14nm					



先进制程刻蚀
次数明显增多!

光刻机在20nm以下光刻步骤受到光波长度的限制，因此无法直接进行光刻与刻蚀步骤，而是通过多次光刻、刻蚀生产出符合人们要求的更微小的结构。目前普遍采用多重模板工艺原理，即通过多次沉积、刻蚀等工艺，实现10nm线宽的制程。根据相关数据，14nm制程所需使用的刻蚀步骤达到**64次**，较28nm提升**60%**；7nm制程所需刻蚀步骤更是高达**140次**，较14nm提升**118%**。

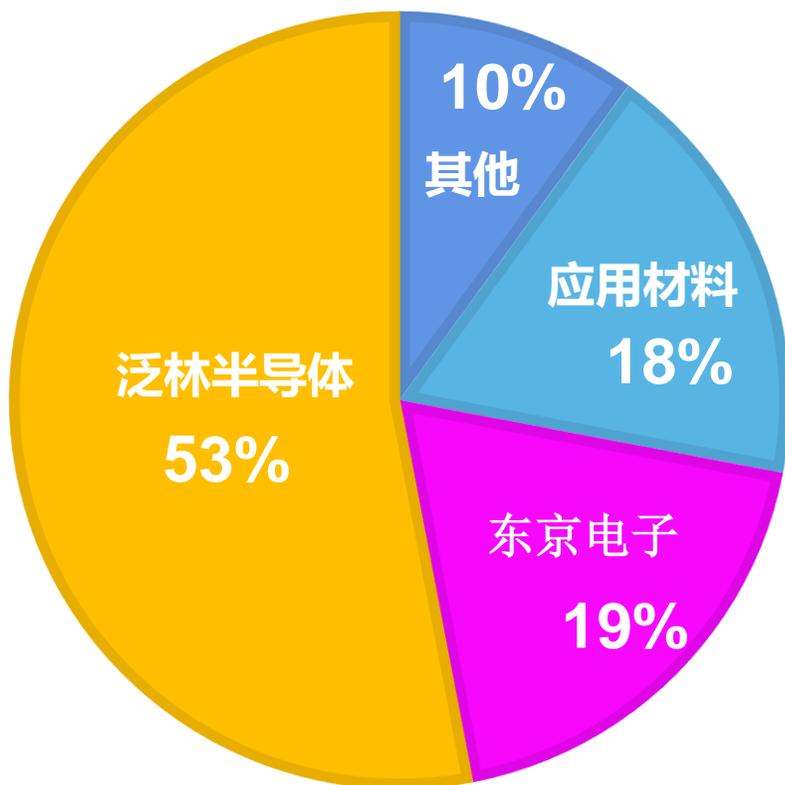
图片来源于网络公开资料

主要刻蚀设备厂商

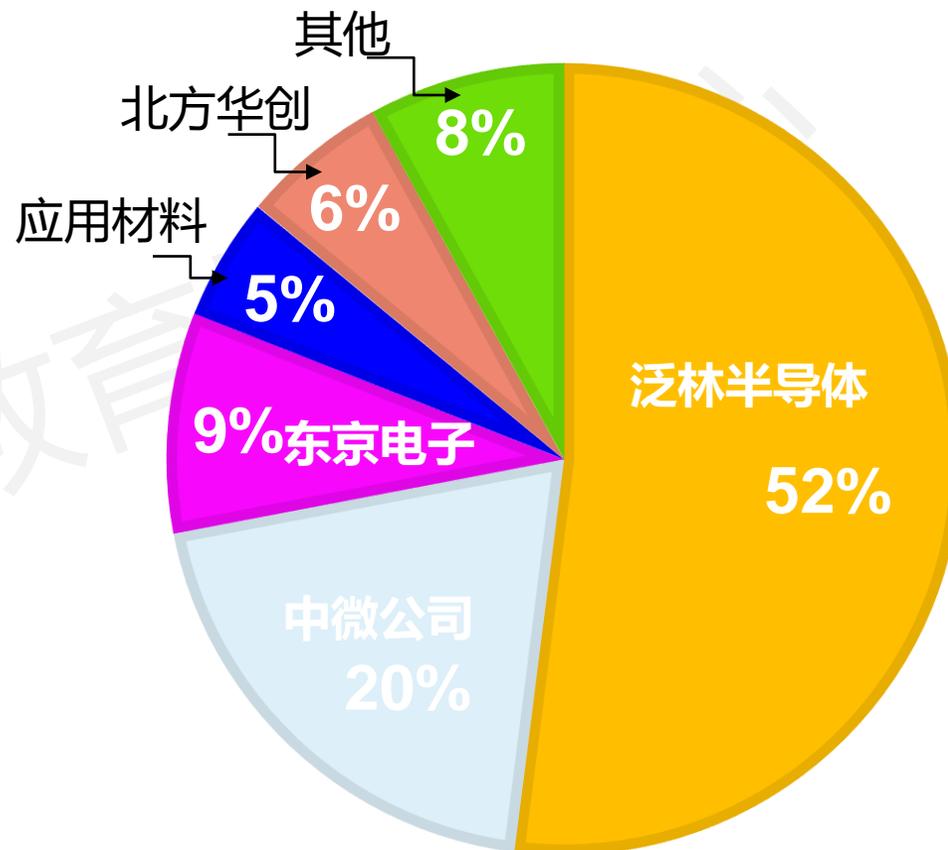


集成电路先进制造工艺技术 中级培训班

全球刻蚀机市场份额



国内刻蚀机市场份额



国外: LAM, TEL, AMAT...

国内: 中微半导体, 北方华创

数据来源于网上公开资料

国际刻蚀设备厂商



集成电路先进制造工艺技术 中级培训班

公司名称	成立时间	半导体设备年销售额 (美金)	市场领域	技术节点
泛林半导体 Lam Research	1980	2017年, 96亿	硅、介质、金属刻蚀	5nm以下
应用材料 Applied Materials	1967	2017年, 95亿	硅、介质、金属刻蚀	5nm以下
东京电子 TEL	1963	2018年, 87亿	介质刻蚀	5nm

国内刻蚀设备厂商



集成电路先进制造工艺技术 中级培训班

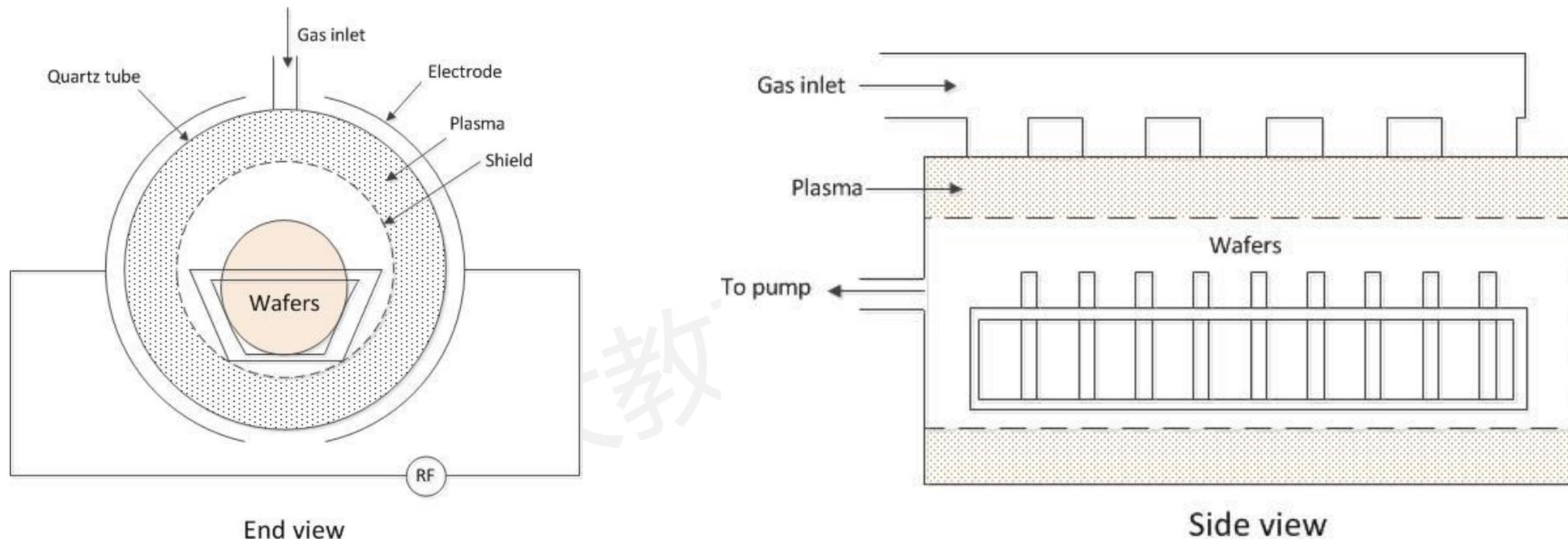
□ 我国刻蚀设备领先企业

干法 (CCP)	干法 (ICP)	湿法
中国电科	中国电科	中国电科
北方华创	北方华创	北方华创
中微公司	中微公司	芯源
屹唐半导体	北京创世威纳科技	华林科纳
	屹唐半导体	
	北京金盛微纳科技有限公司	

刻蚀方式	领先企业	已掌握技术
硅刻蚀	北方华创	28-130 nm
金属刻蚀	北方华创	28-130 nm
介质刻蚀	中微公司	5-130 nm

图片来源于网上公开资料

□ 圆筒型刻蚀设备

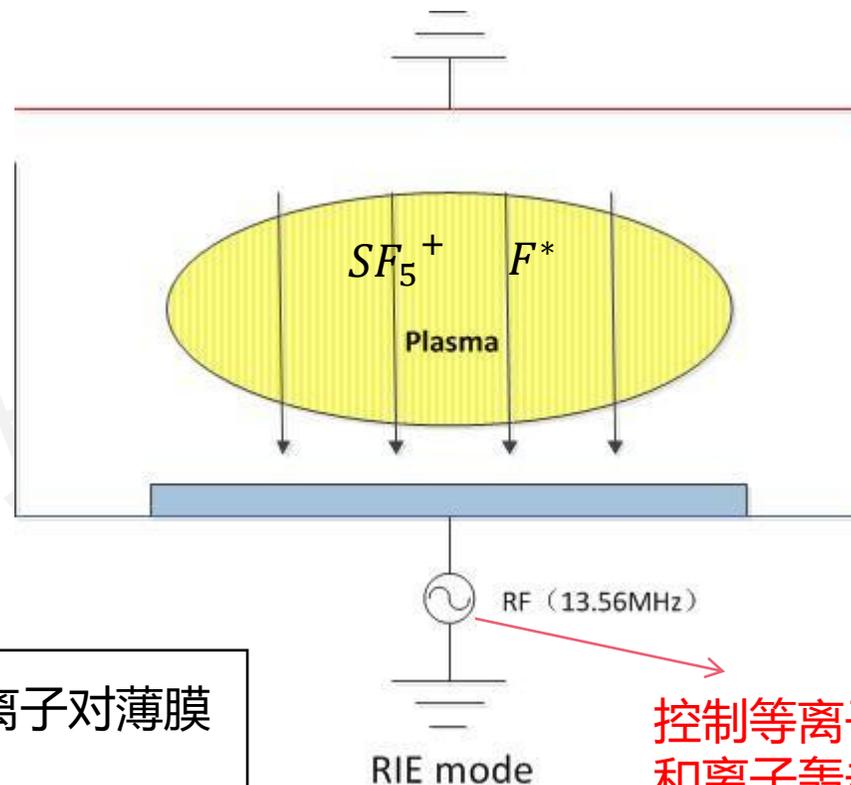


- 早期的圆筒型刻蚀设备是电感耦合的，后来换成电容耦合以满足足够高的压力（0.5-1Torr）要求，可以达到高刻蚀速率的要求
- 各向同性纯化学刻蚀
- 用于非关键工艺，例如去胶

平板刻蚀设备：RIE工作模式（1974年提出）

RIE mode (Reactive Ion Etching mode)

- 物理性刻蚀+化学性刻蚀
- RF接到放置基板的下电极
- 带正电的粒子在电场的作用下加速，垂直对基板进行粒子轰击，促进自由基的化学反应
- 非等向性刻蚀



控制等离子体密度
和离子轰击强度

- ❑ 传统RIE设备除利用活性基团与薄膜反应之外，还利用高能离子对薄膜进行轰击，去除再沉积的反应产物或聚合物
- ❑ 优点是构造简单，加工成本低廉
- ❑ 缺点：只能通过增加RF功率来增强等离子体密度，从而提高刻蚀速率，但同时也增加离子轰击的能量，会损伤硅片表面

主要刻蚀设备

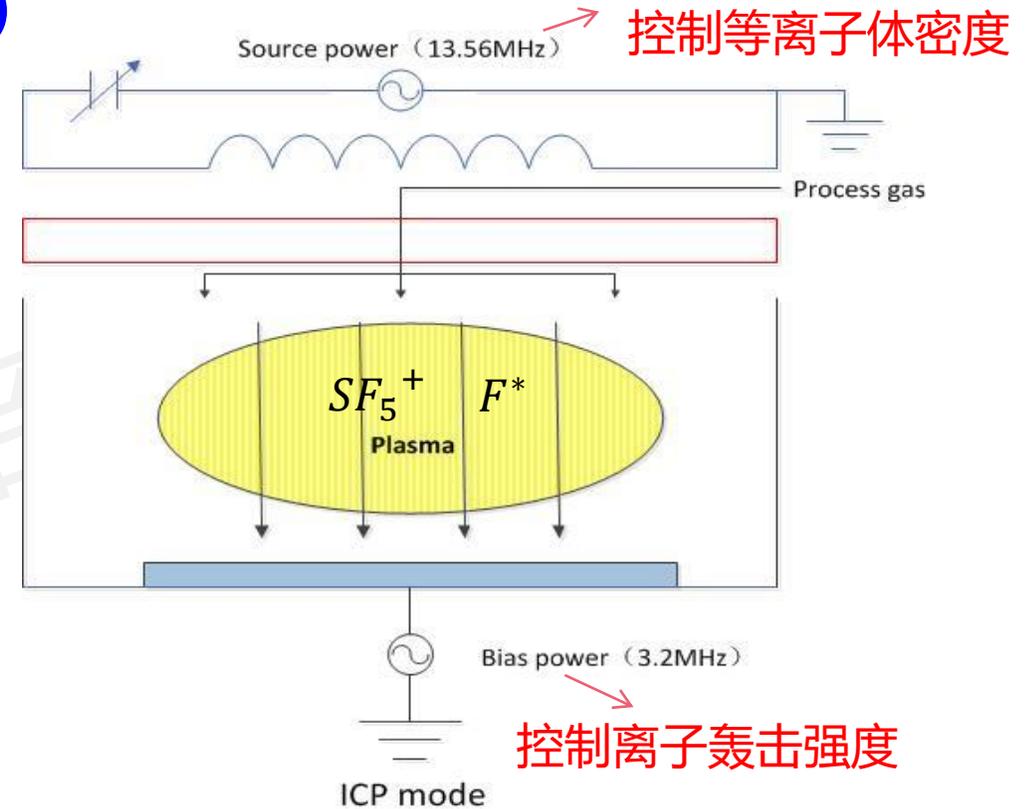


集成电路先进制造工艺技术 中级培训班

平板刻蚀设备：ICP工作模式（1991年-1995年引入）

ICP mode (Inductively Coupled Plasma)

- 物理性刻蚀+化学性刻蚀
- 上部是线圈状的诱导电极，下部是Bias电源
- 在线圈状电极的磁场作用下，Plasma中的电子和离子会做水平方向的螺旋运动，因此电离率会比其他的type高2倍
- 下部的bias电极吸引ion轰击基板，进行刻蚀，能达到高密度的Plasma及高刻蚀率
- 非等向性刻蚀
- 一般会产生particle

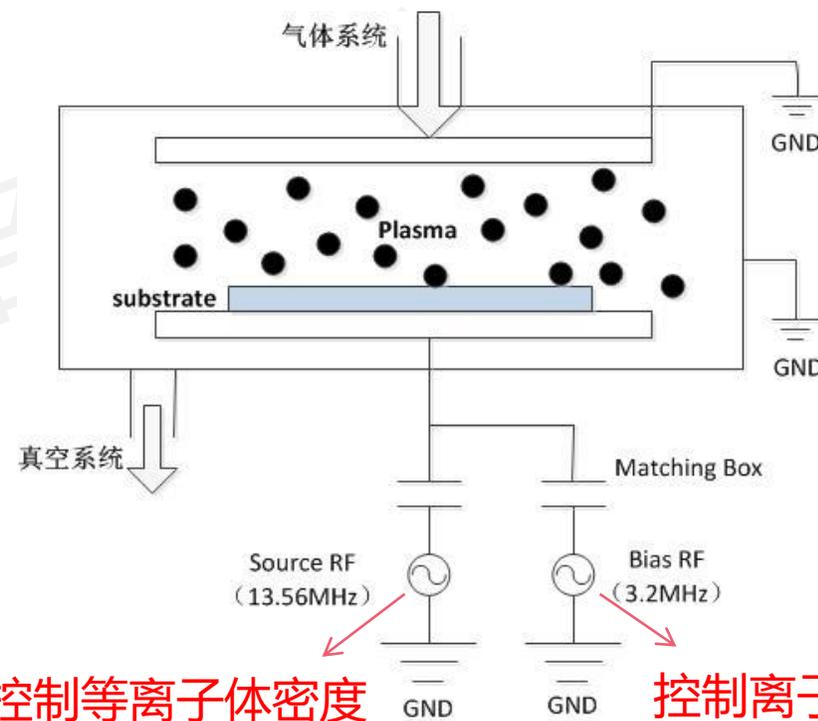


- ICP采用三电极结构（双射频设计），上面的RF电感耦合线圈通过RF磁场增加等离子体密度但不直接轰击硅片，下部偏压RF控制离子轰击硅片速度。
- 离子密度增加提高了刻蚀速率，因此在不降低刻蚀速率的情况下离子轰击能量可以降低，从而提高选择比。

图片来源于教材

平板刻蚀设备：CCP（电容耦合）/RIE模式

- 上部电极和反应腔接地，下部电极上加能产生RF射频（Source RF）和3.2MHz的偏置RF（Bias RF），RF的功率通过RF电场传给等离子体。与RIE模式显著不同的是在下部电极上增加了一个低频偏置射频（控制离子轰击强度），增大了自偏压，从而增大了等离子体与硅片的距离，可减少大硅片异常放电现象。东京电子（TEL）的刻蚀机主要采用CCP模式



目 录



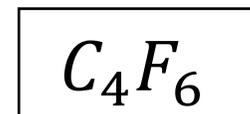
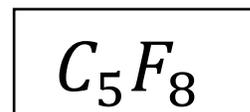
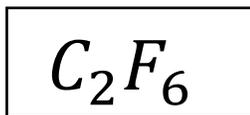
集成电路先进制造工艺技术 中级培训班

- 一、等离子体基本原理与干法刻蚀工艺介绍
- 二、刻蚀工艺特性表征参数与量测手段
- 三、刻蚀工艺高级控制技术介绍
- 四、国内外主要设备与厂商介绍
- 五、先进制造技术中的刻蚀工艺应用**
- 六、小结

工艺化学的发展



集成电路先进制造工艺技术 中级培训班



F/C比例

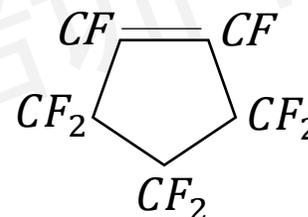
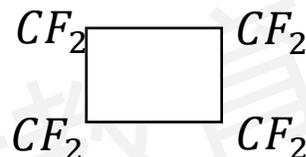
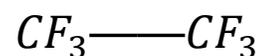
3

2

1.6

1.5

结构



沸点

-78

-5.85

27

6

More Polymer / Higher Selectivity

电介质刻蚀气体



集成电路先进制造工艺技术 中级培训班

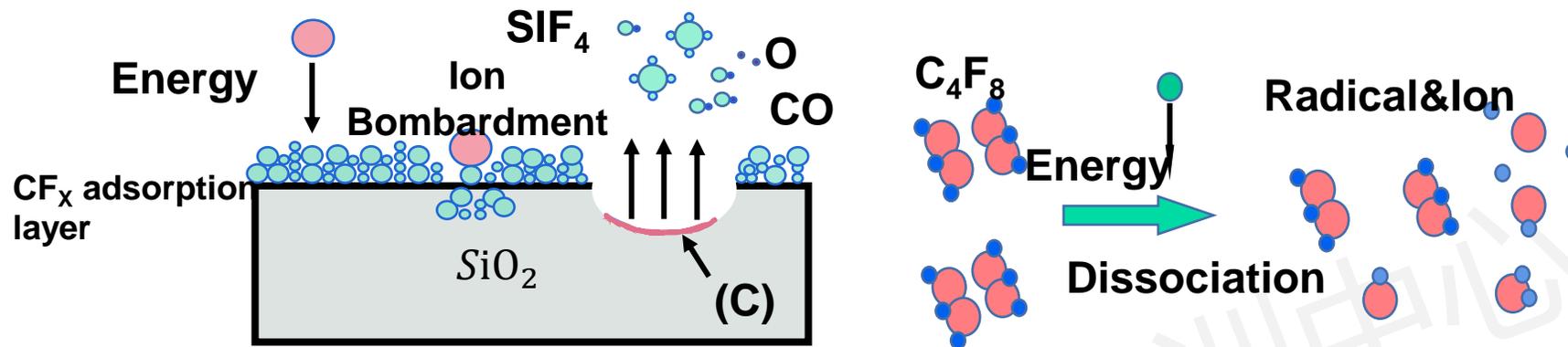
- CF_4 : 主要刻蚀气体
- CHF_3 : Polymer former (低聚物)
- Ar : 稀释气体, 轰击效应
- He : 稀释气体
- SF_6 : Si_3N_4 , TiN 刻蚀气体
- N_2 : Polymer former
- C_2F_6 : Polymer former氧化物刻蚀气体
- C_4F_8 : Polymer former氧化物刻蚀气体
- CH_2F_2 : Polymer former SiN 刻蚀气体
- CH_3F : Polymer former SiN 刻蚀气体
- C_5F_8 : Polymer former氧化物刻蚀气体
- CO : 排氟气体
- O_2 : 减少高分子

氧化物刻蚀机理

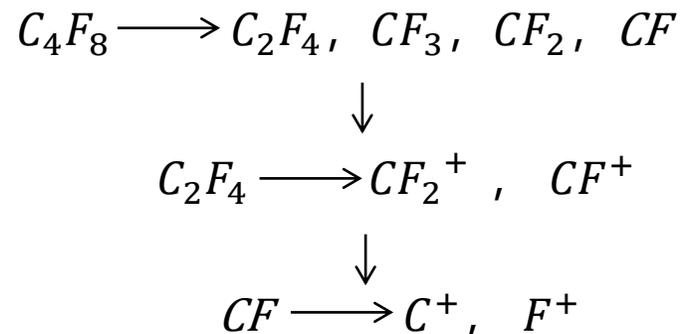


IMECAS

集成电路先进制造工艺技术 中级培训班



如果 C_4F_8 被等离子化, 则会分解成自由基和离子

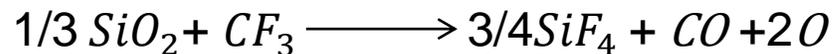


- CF_3 : 由于含F自由基很多, 所以E/R更高, 但PR和Si的选择比很低
- C_2F_4 和 CF_2 : 自由基有利于得到Si和PR的高选择比
- CF 和 C : 由于富含C, 很可能使刻蚀停止并沉积

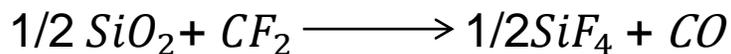
SiO₂刻蚀模型 (C/F比例)



集成电路先进制造工艺技术 中级培训班



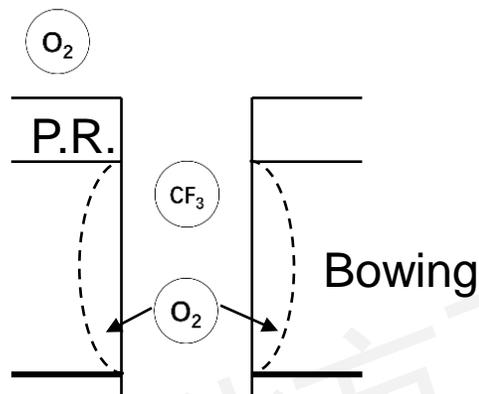
--- (3) : 产生O → PR选择比低



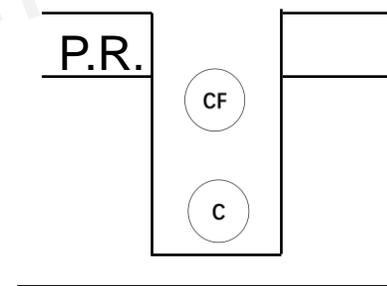
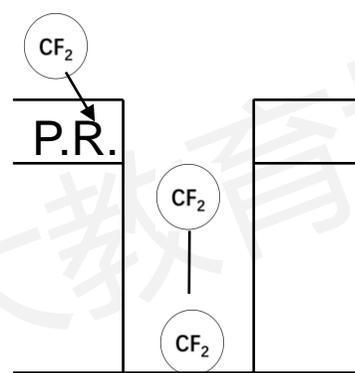
--- (2) : 好的刻蚀模型



--- (1) : C沉积 → 刻蚀停止



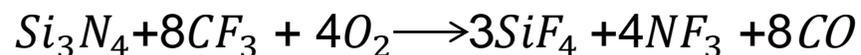
Low Selectivity



Etch Stop

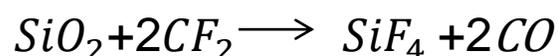
CF_3 SiO₂刻蚀和选择比

低选择比 & **bowing**



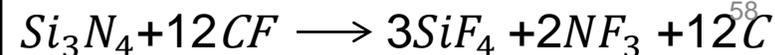
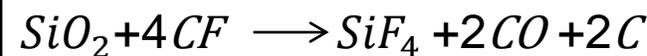
CF_2 SiO₂刻蚀和选择比

高选择比 & 剖面好



CF SiO₂刻蚀和选择比

低选择比 & 刻蚀停止



□ 经典刻蚀工艺

- 自对准双图形工艺 (SADP Etch)
- 浅沟槽隔离刻蚀工艺 (STI Etch)
- 多晶硅栅极刻蚀工艺 (Gate Etch)
- 深硅刻蚀工艺 (Bosch process)

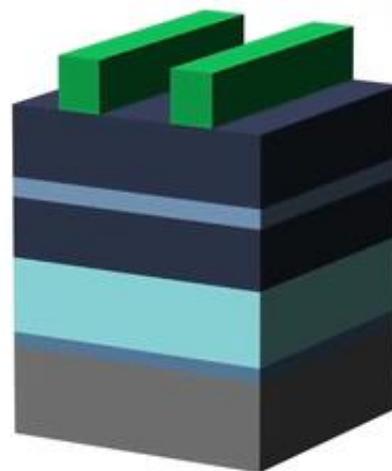
自对准双图形工艺



IMECAS

集成电路先进制造工艺技术 中级培训班

Print litho

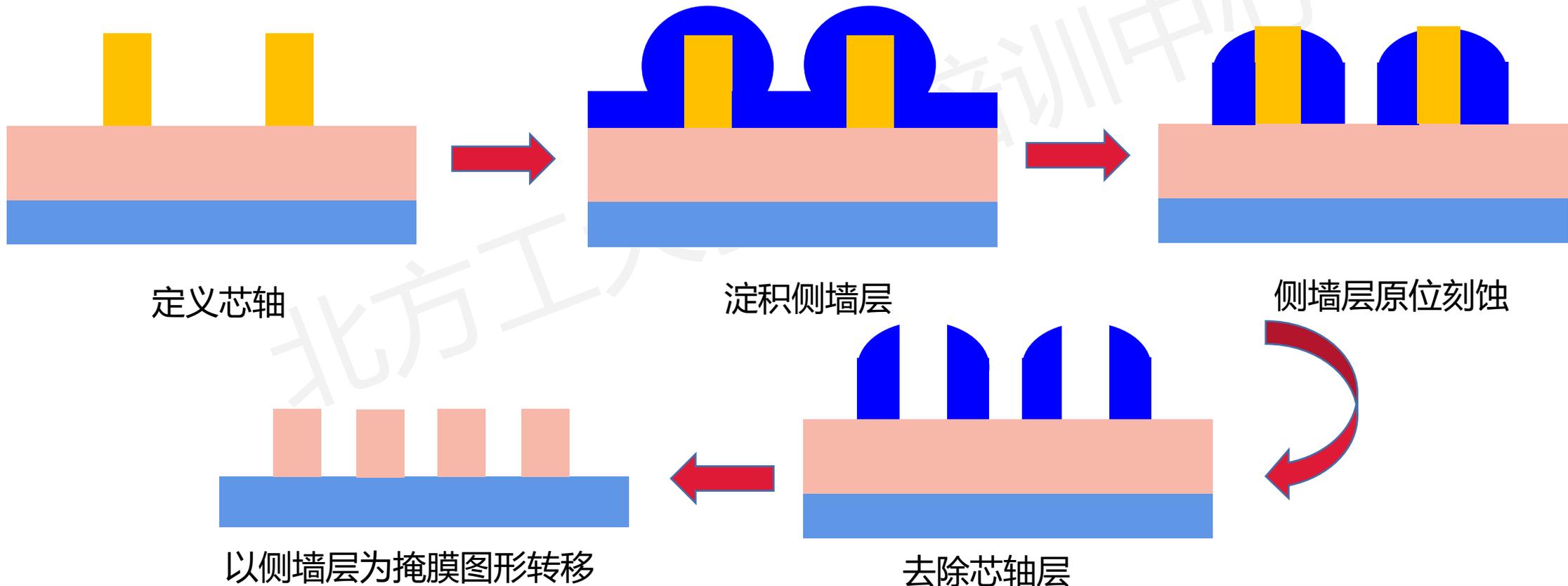


自对准双图形工艺



集成电路先进制造工艺技术 中级培训班

- 传统的193nm光刻机最小能显影重复周期(Pitch)极限为76nm,当集成电路的技术发展到**14nmFinFET技术节点**时,这种传统的曝光工艺已经不能满足图形形成。**SADP(自对准双图形工艺)**可以实现更小尺寸周期图形的形成。



主要步骤和关键点包括:

(1) 芯轴图形化;

衬底额外损耗→芯轴尺寸必须精确控制

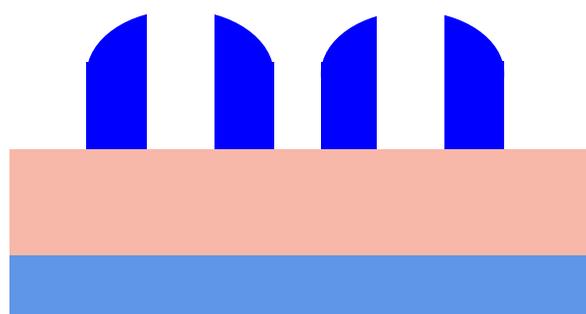
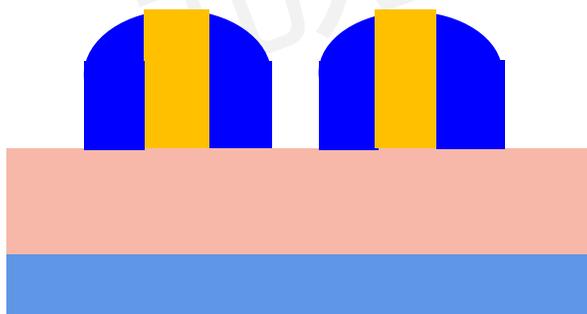
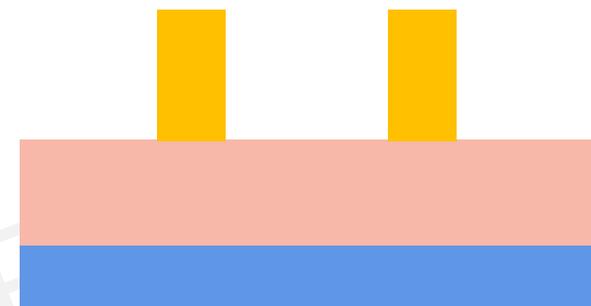
(2) 原子层侧墙 (Spacer) 介质沉积与刻蚀;

离子轰击导致侧墙肩部损耗→线条非均匀应力→线条崩塌

(3) 芯轴去除。

•芯轴-两侧原子沉积隔离层 蚀刻选择比不够→隔离层两侧特征尺寸损失不同→后续工艺中的奇偶效应

•芯轴-下层蚀刻停止层 蚀刻选择比不够→刻蚀停止层在隔离层两侧厚度不同→后续工艺中的奇偶效应



浅沟槽隔离刻蚀



集成电路先进制造工艺技术 中级培训班

□ STI 之前的隔离技术是LOCOS (local oxidation of silicon) 隔离, 当技术发展到0.25um以下时, 一般要用到STI技术。

□ STI取代LOCOS的原因有:

- 与LOCOS相比, STI的漏电流小, 结电容小, 有利于提高电路性能。
- LOCOS隔离很容易出现“鸟嘴”现象。
- LOCOS表面的平坦效果也不佳
- LOCOS的Field oxide 厚度有限
- STI技术中的field oxide 所占面积比LOCOS小得多, 所以可以获得很高的器件密度

□ STI的工艺流程包括:

- Pad oxide deposition
- SiN deposition
- STI Trench Etch
- liner oxide deposition
- Thermal anneal
- HDP deposition
- Thermal Anneal
- STI CMP
- Nitride removal

□ STI刻蚀关键点:

(1)沟槽圆顶角

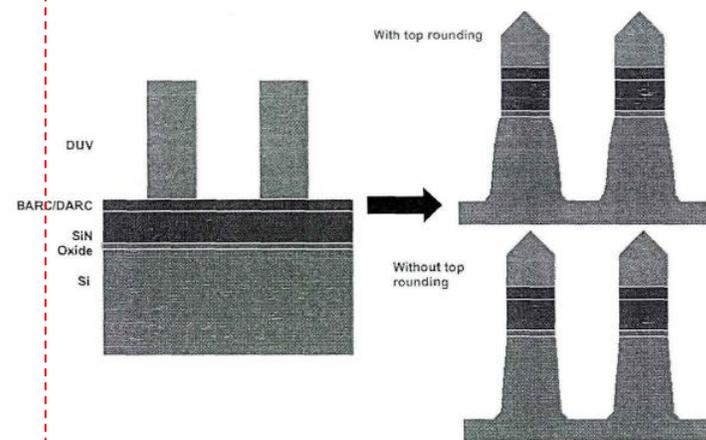
比较圆滑的上顶角可以有效抑制的应力以有效地抑制边缘漏电。

(2)沟槽倾斜角度

适当的倾斜角度也可以有效减小漏电流。

(3)沟槽的下角

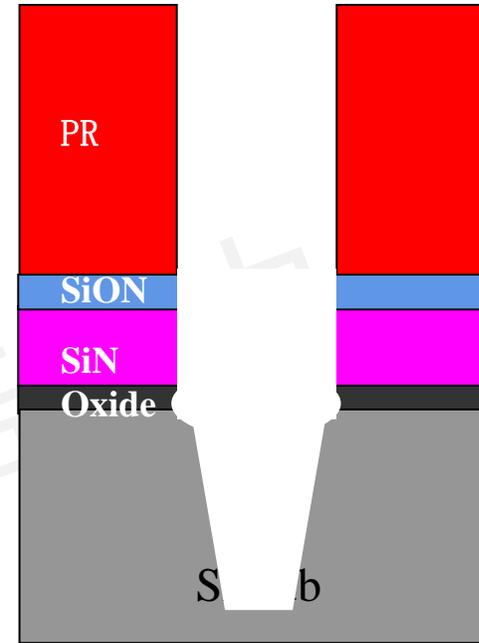
具有圆滑的下角也可以提高器件的性能。



浅沟槽隔离刻蚀



Step	Function	Gas
1	HardMask open	replace PR to decrease contamination 含F气体
2	Break Through	To form the footing on the bottom of the HM, to make the preparation for TCR CF类气体
3	Top Corner Round	avoid creating parasitic conduction paths in transistors Cl2
4	Trench Etch	form sloped profile Cl2及其他
5	Bottom Corner Round	avoid void at CVD filled process Cl2及其他
6	Flash	remove PR and byproduct O2



STI

浅沟槽隔离刻蚀



IMECAS

集成电路先进制造工艺技术 中级培训班

	压力	上射频功率	下射频功率	氯气	氧气
刻蚀速率	↔	↑	↑	↑	↔
刻蚀均匀性	↔	↔	↓		
沟槽负载	↑	↑	↓	↓	↓
沟槽角度	↑	↓	↓		↓
底部圆角	↓	↓	↔		↑

多晶硅栅刻蚀



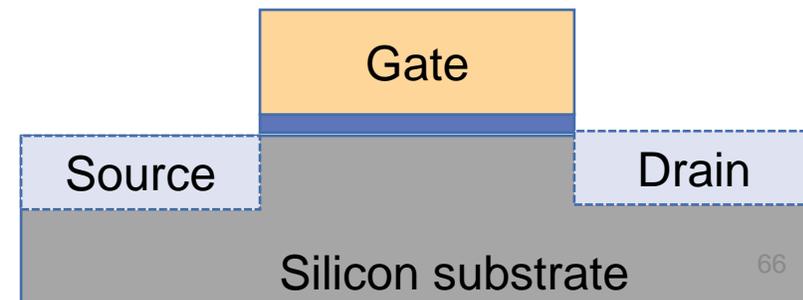
集成电路先进制造工艺技术 中级培训班

在MOS元件的应用中，栅极的宽度需要严格控制，因为它代表了MOS器件的沟道长度，与器件特性息息相关，因此必须忠实地将掩膜图案转移到多晶硅上。

Gate刻蚀关键点：

- (1)刻蚀后的轮廓非常重要，侧壁必须是垂直的。如因栅极多晶硅刻蚀后侧壁有倾斜时，将会遮蔽源漏的离子分布，造成杂质分布不均，沟道长度也会随倾斜程度而改变；
- (2)多晶硅对氧化硅的选择比要高，即尽可能多地刻蚀Si的同时尽可能少地刻蚀SiO₂。一是为了去除残留必须有足够地过刻蚀才能避免短路发生；二是多晶硅覆盖在薄栅氧层上，若氧化层被穿透，其下源漏上的单晶硅也会被快速刻蚀。

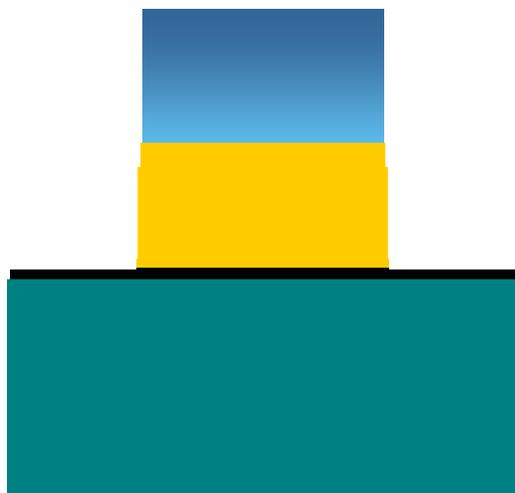
根据以上要求，通常采用Cl₂来刻蚀多晶硅，也有采用SF₆气体添加CCl₄和CH₃Cl来进行刻蚀。此外，溴化氢（HBr）也是现在常用的气体之一，因为在小于0.5μm的制备中，栅极氧化层的厚度小于100Å，而以HBr刻蚀的多晶硅对SiO₂的选择比高于以Cl为主的等离子体刻蚀。



多晶硅栅刻蚀



集成电路先进制造工艺技术 中级培训班



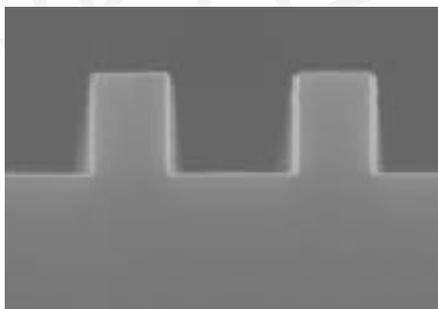
BT etch:

——除去Poly表面氧化层和未刻蚀干净的HM

Main Etch:

——刻蚀大部分Poly

Poly-Si



Over Etch:

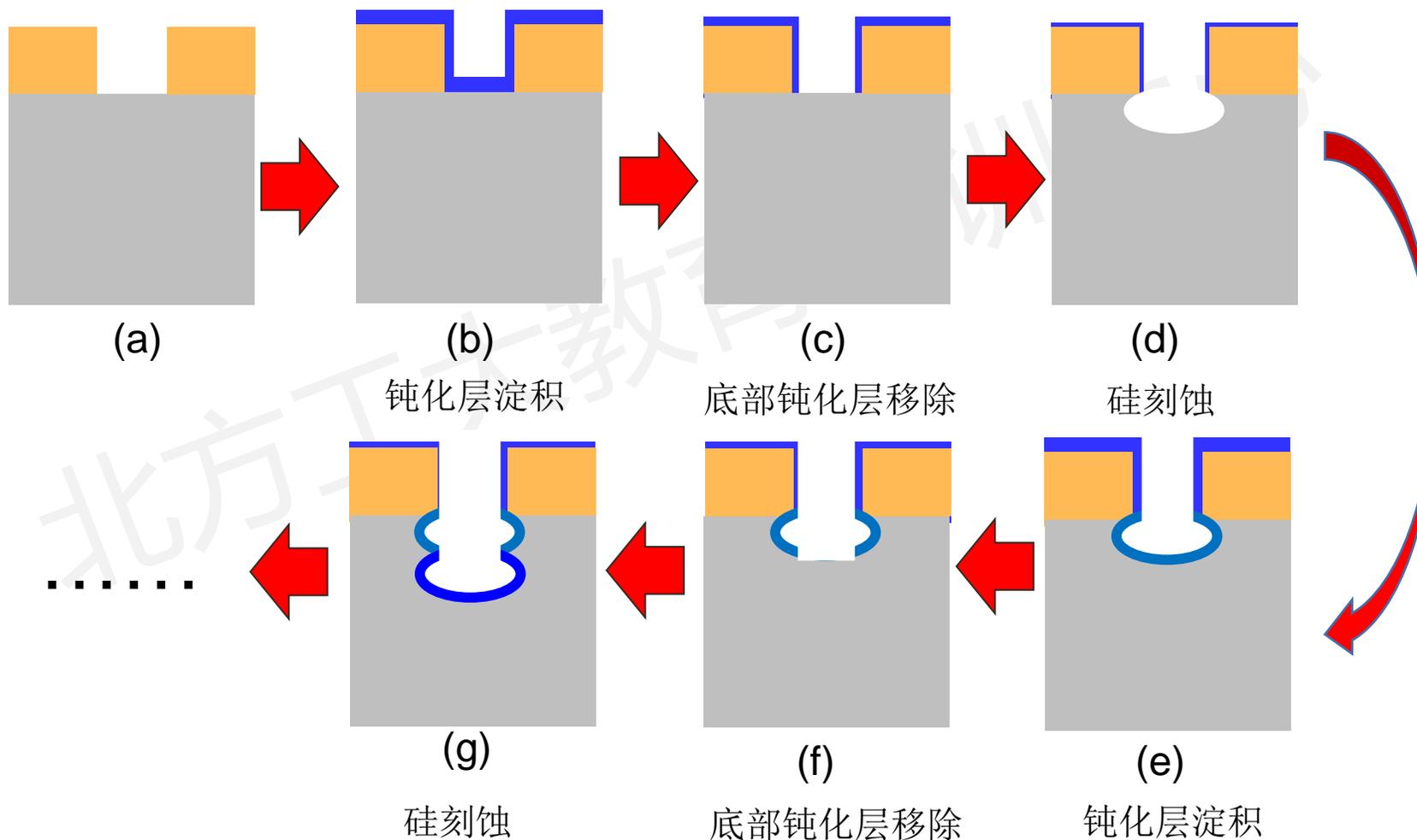
——高选择比，保证在Poly-Si刻蚀干净情况下，栅氧化层没有大的损伤

深硅刻蚀



集成电路先进制造工艺技术 中级培训班

BOSCH工艺是利用 SF_6 和 C_4F_8 气体交替进行刻蚀和淀积以获得高深宽比的刻蚀方式。



目 录



集成电路先进制造工艺技术 中级培训班

- 一、 等离子体基本原理与干法刻蚀工艺介绍**
- 二、 刻蚀工艺特性表征参数与量测手段**
- 三、 刻蚀工艺高级控制技术介绍**
- 四、 国内外主要设备与厂商介绍**
- 五、 先进制造技术中的刻蚀工艺应用**
- 六、 小结**

参考资料



集成电路先进制造工艺技术 中级培训班

- 1 《微纳尺度制造工程》坎贝尔著（电子工业出版社 2011）
- 2 《半导体制造技术》韩郑生等译（电子工业出版社 2009）
- 3 《超大规模集成电路工艺技术—理论、实践与模型》James D. Plummer等著（电子工业出版社 2003）
- 4 《Silicon Processing for the VLSI Era》S. Wolf编著（Lattice Press, 1998）
- 5 《等离子体蚀刻及其在大规模集成电路制造中的应用》张海洋等著（清华大学出版社 2018）

1、以下选项哪些属于湿法刻蚀优点 ()

A选择性高

B重复性好

C生产效率高

D设备简单、成本低

答案: ABCD

2、以下选项那些不属于干法刻蚀的优点 ()

A 各向同性

B良好的关键尺寸 (CD) 控制

C最小的光刻胶脱落或粘附问题

D良好的片内、片间、批次间的刻蚀均匀性

答案: A

3、按原理来分类, 干法刻蚀可以分为 ()

A溅射与离子铣刻蚀

B等离子刻蚀

C反应离子刻蚀

D 聚焦离子束刻蚀

答案: ABC



IMECAS

集成电路先进制造工艺技术 中级培训班

谢谢!

北方工业大学培训中心